

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年12月26日

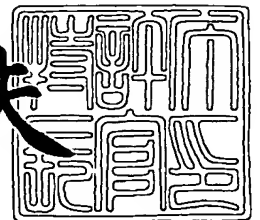
出願番号
Application Number: 特願2002-375921
[ST. 10/C]: [JP2002-375921]

出願人
Applicant(s): 株式会社ルネサステクノロジ

2003年11月28日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3098781

【書類名】 特許願

【整理番号】 H02015411

【提出日】 平成14年12月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

【氏名】 石丸 哲也

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

【氏名】 松崎 望

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

【氏名】 久米 均

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 (a) 半導体基板中に形成された第 1 および第 2 半導体領域と、

(b) 前記第 1 および第 2 半導体領域間上の前記半導体基板の上部に形成された第 1 導電体および第 2 導電体と、

(c) 前記第 1 導電体と前記半導体基板との間に形成された第 1 絶縁膜と、

(d) 前記第 2 導電体と前記半導体基板との間に形成された第 2 絶縁膜であって、その内部に電荷蓄積部を有する第 2 絶縁膜と、を有し、

(e) 前記第 1 導電体に電位を印加した状態で、電子が蓄積された前記電荷蓄積部に正孔を注入することにより消去を行うことを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記 (e) の正孔の注入は、前記第 1 および第 2 半導体領域間に電流が流れる状態で行われることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 前記 (e) の消去により、前記第 2 導電体をゲート電極とする MISFET の閾値が低下することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】 前記第 1 半導体領域は、前記第 1 導電体側に位置し、前記第 2 半導体領域は、前記第 2 導電体側に位置し、

前記 (e) の正孔は、前記第 1 導電体に第 1 電位を印加し、前記第 2 半導体領域に第 2 電位を印加することにより、前記第 1 および第 2 半導体領域間に流れる電子を前記第 2 電位により加速し、インパクトイオン化現象を起こすことにより形成されることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 5】 前記 (e) の正孔の注入位置は、前記第 2 絶縁膜の前記第 1 導電体側の端部近傍であることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 6】 前記 (e) の電荷蓄積部に蓄積された電子の分布は、前記第

1 導電体側の端部近傍にピークを有することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 7】 前記 (e) の電荷蓄積部に蓄積された電子は、前記第 1 導電体と前記第 2 導電体に異なる電位を印加することにより、前記第 1 導電体と前記第 2 導電体との境界下の前記半導体基板中から注入された電子であることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 8】 前記電荷蓄積部は、前記第 2 絶縁膜中に形成されたトラップ性絶縁膜であることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 9】 前記電荷蓄積部は、前記第 2 絶縁膜中に形成された窒化膜であることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 10】 前記第 2 絶縁膜は、第 1 酸化膜、窒化膜および第 2 酸化膜の積層膜であることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 11】 前記第 1 および第 2 酸化膜は、5 nm 以上であることを特徴とする請求項 10 記載の不揮発性半導体記憶装置。

【請求項 12】 前記電荷蓄積部は、前記第 2 絶縁膜中に形成された複数の導電性の微粒子であることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 13】 (f) 前記第 2 導電体の下部の前記半導体基板中には、第 3 半導体領域が形成され、

(f 1) 前記第 3 半導体領域を構成する不純物の導電型は、前記第 2 導電体側に位置する前記第 2 半導体領域を構成する不純物の導電型と同じであり、

(f 2) 前記第 3 半導体領域の不純物濃度は、前記第 2 半導体領域の不純物濃度より低いことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 14】 前記 (e) の消去は、前記第 2 導電体側に位置する前記第 2 半導体領域に他の電位を印加しつつ行われ、前記第 2 半導体領域から延びる空乏層は、前記第 1 導電体と前記第 2 導電体との境界部下の前記半導体基板まで延びることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 15】 前記電荷蓄積部に電荷が蓄積されていない状態において、前記第 2 導電体をゲート電極とする MISFET の閾値は、負であり、前記第

1 導電体をゲート電極とするMISFETの閾値より小さいことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項16】 (a) 半導体基板中に形成された第1および第2半導体領域と、

(b) 前記第1および第2半導体領域間上の前記半導体基板の上部に形成された第1導電体および第2導電体と、

(c) 前記第1導電体と前記半導体基板との間に形成された第1絶縁膜と、

(d) 前記第2導電体と前記半導体基板との間に形成された第2絶縁膜であって、その内部に電荷蓄積部を有する第2絶縁膜と、を有し、

(e) 前記第1導電体および第2導電体に異なる電位を印加した状態で、前記第1および第2半導体領域間に流れる電子を前記第2絶縁膜の前記第1導電体側の端部近傍に蓄積することにより書込みを行い、

(f) 前記第1導電体に電位を印加した状態で、前記第1および第2半導体領域間に生じた正孔を前記第2絶縁膜の前記第1導電体側の端部近傍に注入することにより消去を行うことを特徴とする不揮発性半導体記憶装置。

【請求項17】 (a) 半導体基板中に形成された第1および第2半導体領域と、

(b) 前記第1および第2半導体領域間上の前記半導体基板の上部に形成された第1導電体および第2導電体と、

(c) 前記第1導電体と前記半導体基板との間に形成された第1絶縁膜と、

(d) 前記第2導電体と前記半導体基板との間に形成された第2絶縁膜であって、その内部に電荷蓄積部を有する第2絶縁膜と、
を有するメモリセルが、複数アレイ状に配置され、

(e) 前記複数のメモリセルのうち、

第1方向に並ぶ前記メモリセルの前記第1導電体を接続する第1線と、

前記第1方向と直交する第2方向に並ぶ前記メモリセルの、前記第1導電体側に位置する前記第1半導体領域を接続する第2線と、
を複数有し、

(f) 前記複数のメモリセルのうち選択メモリセルに接続される前記第1線に

電位を印加した状態で、電子が蓄積された前記選択メモリセルの前記電荷蓄積部に正孔を注入することにより消去を行うことを特徴とする不揮発性半導体記憶装置。

【請求項 18】 前記 (f) の正孔は、前記選択メモリセルに接続される前記第 1 線および前記選択メモリセルの前記第 2 半導体領域に電位を印加することにより、前記選択メモリセルの前記第 1 および第 2 半導体領域間に流れる電子を前記第 2 半導体領域に印加された電位により加速し、インパクトイオン化現象を起こすことにより形成されることを特徴とする請求項 17 記載の不揮発性半導体記憶装置。

【請求項 19】 前記 (f) の正孔の注入位置は、前記選択メモリセルの前記第 2 絶縁膜の前記第 1 導電体側の端部近傍であることを特徴とする請求項 17 記載の不揮発性半導体記憶装置。

【請求項 20】 前記 (f) の電荷蓄積部に蓄積された電子は、前記選択メモリセルの前記第 1 導電体と前記第 2 導電体に異なる電位を印加することにより、前記第 1 導電体と前記第 2 導電体との境界下の前記半導体基板中から注入された電子であることを特徴とする請求項 17 記載の不揮発性半導体記憶装置。

【請求項 21】 前記 (f) の消去は、

(f 1) 前記選択メモリセルに接続される前記第 1 線に第 1 電位を印加し、前記選択メモリセルに接続される前記第 2 線に前記第 1 電位より小さい第 2 電位を印加した状態で、消去を行い、

(f 2) 前記選択メモリセルに接続される前記第 1 線に接続される他のメモリセルに接続される前記第 2 線には、前記第 1 電位以上の第 3 電位を印加することにより消去を禁止し、

単一の前記選択メモリセル毎に行うことを特徴とする請求項 17 記載の不揮発性半導体記憶装置。

【請求項 22】 前記 (f) の消去は、

(f 1) 前記複数の第 1 線のうち単一の第 1 線に第 1 電位を印加し、

(f 2) 前記複数の第 2 線に前記第 1 電位より小さい第 2 電位を印加することにより、

前記第 1 方向に並ぶ前記メモリセルの群毎に行うことを特徴とする請求項 17 記載の不揮発性半導体記憶装置。

【請求項 23】 前記 (f) の消去は、

(f 1) 前記複数の第 1 線のうち n 本の前記第 1 線に第 1 電位を印加し、

(f 2) 前記複数の第 2 線のうち m 本の前記第 2 線に前記第 1 電位より小さい第 2 電位を印加することにより、

n × m 個の前記メモリセルのブロック毎に行うことを特徴とする請求項 17 記載の不揮発性半導体記憶装置。

【請求項 24】 前記 (f) の消去は、

(f 1) 前記複数の第 1 線のうち前記選択メモリセルに接続される前記第 1 線には、第 1 電位 V1 を印加し、

(f 2) 前記複数の第 1 線のうち前記選択メモリセルに接続されない前記第 1 線には、第 2 電位 V2 を印加し、

(f 3) 前記複数の第 2 線のうち前記選択メモリセルに接続される前記第 2 線には、第 3 電位 V3 を印加し、

(f 4) 前記複数の第 2 線のうち前記選択メモリセルに接続されない前記第 2 線には、第 4 電位 V4 を印加して行われ、

(f 5) 前記第 1 ～第 4 の電位について、

前記第 3 電位は、前記第 1 電位より小さく ($V3 < V1$)、前記第 2 電位以上 ($V3 \geq V2$) であり、

前記第 4 電位は、前記第 1 電位以上 ($V4 \geq V1$) で、前記第 2 電位以上 ($V4 \geq V2$) であることを特徴とする請求項 17 記載の不揮発性半導体記憶装置。

【請求項 25】 前記不揮発性半導体記憶装置は、さらに、

(g) 前記複数のメモリセルのうち前記第 1 方向に並ぶ前記メモリセルの前記第 2 半導体領域を接続する第 3 線を複数有し、

前記複数の第 3 線は、所定の単位で互いに接続されていることを特徴とする請求項 17 記載の不揮発性半導体記憶装置。

【請求項 26】 前記不揮発性半導体記憶装置は、さらに、

(g) 前記複数のメモリセルのうち前記第 1 方向に並ぶ前記メモリセルの前記

第2導電体を接続する第3線を複数有し、

前記複数の第3線は、所定の単位で互いに接続されていることを特徴とする請求項17記載の不揮発性半導体記憶装置。

【請求項27】 (a) 半導体基板中に形成された第1および第2半導体領域と、

(b) 前記第1および第2半導体領域間上の前記半導体基板の上部に形成された第1導電体および第2導電体と、

(c) 前記第1導電体と前記半導体基板との間に形成された第1絶縁膜と、

(d) 前記第2導電体と前記半導体基板との間に形成された第2絶縁膜であって、その内部に電荷蓄積部を有する第2絶縁膜と、
を有するメモリセルが、複数アレイ状に配置され、

(e) 前記複数のメモリセルのうち、

第1方向に並ぶ前記メモリセルの前記第1導電体を接続する第1線と、

前記第1方向と直交する第2方向に並ぶ前記メモリセルの、前記第2導電体側に位置する前記第2半導体領域を接続する第2線と、

前記第1方向に並ぶ前記メモリセルの、前記第1半導体領域を接続する第3線と、

を複数有し、

(f) 前記複数のメモリセルのうち選択メモリセルに接続される前記第1線に電位を印加した状態で、電子が蓄積された前記選択メモリセルの前記電荷蓄積部に正孔を注入することにより消去を行うことを特徴とする不揮発性半導体記憶装置。

【請求項28】 前記(f)の正孔は、前記選択メモリセルに接続される前記第1線および第2線に電位を印加することにより、前記選択メモリセルの前記第1および第2半導体領域間に流れる電子を前記選択メモリセルの前記第2半導体領域に印加される電位により加速し、インパクトイオン化現象を起こすことにより形成されることを特徴とする請求項27記載の不揮発性半導体記憶装置。

【請求項29】 前記(e)の正孔の注入位置は、前記選択メモリセルの前記第2絶縁膜の前記第1導電体側の端部近傍であることを特徴とする請求項27

記載の不揮発性半導体記憶装置。

【請求項 30】 前記 (e) の電荷蓄積部に蓄積された電子は、前記選択メモリセルの前記第 1 導電体と前記第 2 導電体に異なる電位を印加することにより、前記第 1 導電体と前記第 2 導電体との境界下の前記半導体基板中から注入された電子であることを特徴とする請求項 27 記載の不揮発性半導体記憶装置。

【請求項 31】 前記 (f) の消去は、

(f 1) 前記選択メモリセルに接続される前記第 1 線に第 1 電位を印加し、前記選択メモリセルに接続される前記第 2 線に、前記選択メモリセルに接続される前記第 3 線に印加する第 3 電位より大きい第 2 電位を印加した状態で、消去を行い、

(f 2) 前記選択メモリセルに接続される前記第 1 線に接続される他のメモリセルに接続される前記第 2 線には、前記第 3 電位以下の第 4 電位を印加することにより消去を禁止し、

単一の前記メモリセル毎に行うことを特徴とする請求項 27 記載の不揮発性半導体記憶装置。

【請求項 32】 前記 (f) の消去は、

(f 1) 前記複数の第 1 線のうち単一の第 1 線に第 1 電位を印加し、

(f 2) 前記複数の第 2 線に第 2 電位を印加し、

(f 3) 前記単一の第 1 線に接続される前記メモリセルの前記第 3 線に前記第 2 電位より小さい第 3 電位を印加することにより、

前記第 1 方向に並ぶ前記メモリセルの群毎に行うことを特徴とする請求項 27 記載の不揮発性半導体記憶装置。

【請求項 33】 前記 (f) の消去は、

(f 1) 前記複数の第 1 線のうち n 本の前記第 1 線に第 1 電位を印加し、

(f 2) 前記複数の第 2 線のうち m 本の前記第 2 線に第 2 電位を印加し、

(f 3) 前記 n 本の前記第 1 線に対応する n 本の第 3 線に前記第 2 電位より小さい第 3 電位を印加することにより、

$n \times m$ 個の前記メモリセルのブロック毎に行うことを特徴とする請求項 27 記載の不揮発性半導体記憶装置。

【請求項 3 4】 前記 (f) の消去は、

(f 1) 前記複数の第 1 線のうち前記選択メモリセルに接続される前記第 1 線には、第 1 電位 V_1 を印加し、

(f 2) 前記複数の第 1 線のうち前記選択メモリセルに接続されない前記第 1 線には、第 2 電位 V_2 を印加し、

(f 3) 前記複数の第 3 線のうち前記選択メモリセルに接続される前記第 3 線には、第 3 電位 V_3 を印加し、

(f 4) 前記複数の第 3 線のうち前記選択メモリセルに接続されない前記第 3 線には、第 4 電位 V_4 を印加して行い、

(f 5) 前記第 1 ～第 4 の電位について、

前記第 3 電位は、前記第 1 電位より小さく ($V_3 < V_1$)、前記第 2 電位以上 ($V_3 \geq V_2$) であり、

前記第 4 電位は、前記第 1 電位以上 ($V_4 \geq V_1$) であり、前記第 2 電位以上 ($V_4 \geq V_2$) であることを特徴とする請求項 2 7 記載の不揮発性半導体記憶装置。

【請求項 3 5】 前記複数の第 3 線は、所定の単位で互いに接続されていることを特徴とする請求項 2 7 記載の不揮発性半導体記憶装置。

【請求項 3 6】 前記不揮発性半導体記憶装置は、さらに、

(g) 前記複数のメモリセルのうち前記第 1 方向に並ぶ前記メモリセルの前記第 2 導電体を接続する第 4 線を複数有し、

前記複数の第 4 線は、所定の単位で互いに接続されていることを特徴とする請求項 2 7 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は不揮発性半導体記憶装置に係り、特に、消去動作と読出し動作の高速化、データ保持特性、書換え耐性もしくは書込みディスタース耐性の向上に適した不揮発性半導体記憶装置に関するものである。

【0002】

【従来の技術】

電氣的に書込・消去が可能な不揮発性半導体記憶装置として、EEPROM (Electrically Erasable and Programmable Read Only Memory) が広く使用されている。フラッシュメモリに代表されるこれらの記憶装置 (メモリ) は、MOS (Metal Oxide Semiconductor) トランジスタのゲート電極下に、酸化膜で囲まれた導電性の浮遊ゲート電極やトラップ性絶縁膜を有する。このトラップ性絶縁膜とは、電荷の蓄積可能な絶縁膜をいい、一例として、窒化シリコン膜等があげられる。

【0003】

このような電荷蓄積領域への電荷の注入・放出によってMOSトランジスタのしきい値をシフトさせ記憶素子として動作させる。

【0004】

このフラッシュメモリとして、追って詳細に説明するMONOS (Metal-Oxide-Nitride-Oxide-Semiconductor) 膜を用いたスプリットゲート型セルがある。

【0005】

かかるメモリにおいては、電荷蓄積領域として窒化シリコン膜を用いることで、導電性の浮遊ゲート膜と比べ、1) 離散的に電荷を蓄積するためにデータ保持の信頼性に優れる。また、2) データ保持の信頼性に優れているために窒化シリコン膜上下の酸化膜を薄膜化でき、書込み・消去動作の低電圧化が可能である、等の利点を有する。

【0006】

また、スプリットゲート型セルを用いることで、1) ソースサイド注入方式でホットエレクトロンを窒化シリコン膜に注入することができ、電子注入効率に優れ、高速、低電流の書込が可能である。また、2) 書込み・消去動作の制御が簡単であるがために周辺回路を小規模にすることができる、等の利点も有する。

【0007】

上記メモリの消去方式としては、トンネリング消去方式とBTBT (Band-To-Band Tunneling) ホットホール注入消去方式の2つがあげられる。

【0008】

例えば、特許文献 1（特開 2 0 0 1 - 1 0 2 4 6 6）には、トンネリング消去方式を用いたメモリセルが記載され、また、特許文献 2（U S P 5, 9 6 9, 3 8 3）には、B T B T ホットホール注入消去方式を用いたメモリセルが記載されている。

【 0 0 0 9 】

トンネリング消去方式では、ソースサイド注入書込み方法で窒化シリコン膜中に注入した電子を、ゲート電極に正電圧もしくは負電圧を印加することにより、窒化シリコン膜の上部もしくは下部の酸化膜をトンネリングさせて、ゲート電極もしくは基板へ引き抜いて消去を行う。

【 0 0 1 0 】

もう一方の B T B T ホットホール注入消去方式では、ソースとゲート電極間に高電圧を印加し、B T B T によって発生させたホール（正孔）を、ソース拡散層端部におけるチャネル方向の電界により加速し、ゲート電極の負電圧で引き寄せ、窒化シリコン膜中に注入して消去を行う（図 2 6 参照）。

【 0 0 1 1 】

【特許文献 1】

特開 2 0 0 1 - 1 0 2 4 6 6 号公報

【 0 0 1 2 】

【特許文献 2】

U S P 5, 9 6 9, 3 8 3 号公報

【 0 0 1 3 】

【発明が解決しようとする課題】

しかしながら、トンネリング消去方式の場合、まず、データ保持特性と消去特性とのトレードオフ関係が問題点として挙げられる。

【 0 0 1 4 】

すなわち、データ保持特性を向上させるには、窒化シリコン膜上下の酸化膜か窒化シリコン膜自体を厚膜化しなければならないが、この厚膜化の結果、消去速度が遅くなってしまう。

【 0 0 1 5 】

消去速度向上のためには、消去電圧の高電圧化が必要であるが、この高電圧化により周辺回路は大規模なものとなり、チップコストの増大を招くことになる。

【 0 0 1 6 】

さらには、電子を引き抜く側の酸化膜は、電子のトンネリングが起こる範囲内の薄い膜厚に限定され、データ保持特性が制約される。

【 0 0 1 7 】

もうひとつの問題点として、消去後のしきい値を十分に下げることができない点が挙げられる。

【 0 0 1 8 】

すなわち、書込みの際に注入した電子を引き抜いて消去を行うために、消去後のしきい値電圧を、窒化シリコン膜が電氣的に中性である初期のしきい値電圧よりも下げることができない。しきい値を十分に下げることができなければ、読出し電流を大きく取れないことになり、読出しの高速化に不利となる。

【 0 0 1 9 】

もう一方の B T B T ホットホール注入消去方式の場合、上記したトンネリング消去方式の課題は解決することができる。

【 0 0 2 0 】

すなわち、書込み時にホットエレクトロンを、消去時にホットホールを注入する方法ならば、トンネリング消去方式を用いる場合に比べて、窒化膜上下の酸化膜を厚膜化できる。

【 0 0 2 1 】

さらには、ホール注入消去により消去後のしきい値を初期よりも負側にシフトさせることが可能となる。

【 0 0 2 2 】

しかしながら、この方式の課題として、書込み時のホットエレクトロンと消去時のホットホールの発生場所が異なるために書込み時の電子注入と消去時のホール注入の位置合わせ制御が困難である点がある。

【 0 0 2 3 】

すなわち、図 2 5 に示すように、書込み時のホットエレクトロン発生場所はメ

モリゲート電極MGと選択ゲート電極SGとの間のギャップ部分（a部）であるのに対して、消去時のホットホール発生場所は、図26に示すように、ソース領域MS端部（b部）である。なお、図25は、フラッシュメモリの電荷蓄積部への電子の注入状態を示す模式図であり、図26は、フラッシュメモリの電荷蓄積部へのホールの注入状態を示す模式図である。また、フラッシュメモリの各部位については、後述する本発明の実施の形態と対応する部位と同一の符号を付してあるので、その説明は省略する。

【0024】

このように電荷の注入位置にずれが生じると、消去速度は遅くなる。また、不要なホールを窒化シリコン膜中に注入してしまうために、書換え耐性、データ保持特性の劣化をも引き起こす。

【0025】

もう1つの課題としては、ソース領域端部でホールを加速して消去を行うために、ソースプロファイルが電界集中型に制約される点が挙げられる。

【0026】

ソースプロファイルを電界集中型にするためには、メモリトランジスタのチャネル領域を高濃度のp型にしなければならない。従って、大きな読出し電流を流す、すなわち読出しを高速化するという観点からは不利である。

【0027】

本発明の目的は、不揮発性半導体記憶装置の高信頼化を図ることにある。

【0028】

特に、不揮発性半導体記憶装置のデータ保持特性向上や読出し速度の向上を図ることにある。

【0029】

また、不揮発性半導体記憶装置の消去動作の高速化や書換え耐性の向上を図ることにある。

【0030】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0031】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0032】

本発明の不揮発性半導体記憶装置は、(a) 半導体基板中に形成された第1および第2半導体領域と、(b) 前記第1および第2半導体領域間上の前記半導体基板の上部に形成された第1導電体および第2導電体と、(c) 前記第1導電体と前記半導体基板との間に形成された第1絶縁膜と、(d) 前記第2導電体と前記半導体基板との間に形成された第2絶縁膜であって、その内部に電荷蓄積部を有する第2絶縁膜と、を有し、(e) 前記第1導電体に電位を印加した状態で、電子が蓄積された前記電荷蓄積部に正孔を注入することにより消去を行うものである。

【0033】

また、本発明の不揮発性半導体記憶装置は、(a) 半導体基板中に形成された第1および第2半導体領域と、(b) 前記第1および第2半導体領域間上の前記半導体基板の上部に形成された第1導電体および第2導電体と、(c) 前記第1導電体と前記半導体基板との間に形成された第1絶縁膜と、(d) 前記第2導電体と前記半導体基板との間に形成された第2絶縁膜であって、その内部に電荷蓄積部を有する第2絶縁膜と、を有するメモリセルが、複数アレイ状に配置され、(e) 前記複数のメモリセルのうち、第1方向に並ぶ前記メモリセルの前記第1導電体を接続する第1線と、前記第1方向と直交する第2方向に並ぶ前記メモリセルの、前記第1導電体側に位置する前記第1半導体領域を接続する第2線と、を複数有し、(f) 前記複数のメモリセルのうち選択メモリセルに接続される前記第1線に電位を印加した状態で、電子が蓄積された前記選択メモリセルの前記電荷蓄積部に正孔を注入することにより消去を行うものである。

【0034】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形

態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0035】

(1) 本発明に係る不揮発性半導体記憶装置（フラッシュメモリ）の基本的な構成について説明する。

【0036】

図1は、本実施の形態の不揮発性半導体記憶装置（フラッシュメモリ）の要部断面図である。

【0037】

このフラッシュメモリは、MONOS膜を用いたスプリットゲート型セルである。

【0038】

図示するように、メモリセルは、電荷を蓄積するための窒化シリコン膜SINと、その上下に位置する酸化膜BOTOX、TOPOXの積層膜からなるONO膜（ONO）、n型ポリシリコンのような導電体からなるメモリゲート電極MG、n型ポリシリコンからなる選択ゲート電極SG、選択ゲート電極SG下に位置するゲート絶縁膜SGOX、n型の不純物よりなるソース領域（ソース拡散層、n型半導体領域）MS、n型の不純物よりなるドレイン領域（ドレイン拡散層、n型半導体領域）MDを有する。なお、ソース領域MSおよびドレイン領域MDは、p型のシリコン基板（半導体基板）PSUB上に設けられたp型ウェル領域PWEL中に形成される。

【0039】

ここで、メモリゲート電極MGよりなるMOSトランジスタをメモリトランジスタと、また、選択ゲート電極SGよりなるMOSトランジスタを選択トランジスタという。

【0040】

次に、書込み・消去・読出し動作について説明する。ここでは、窒化シリコン膜SINへの電子の注入を「書込み」、ホールの注入を「消去」と定義する。

【0041】

(1-1) 書込み方式は、いわゆるソースサイド注入方式と呼ばれるホットエレクトロン書込みである。

【0042】

図2に、本実施の形態の「書込」、「消去」および「読出」時における選択メモリセルの各部位への電圧の印加条件を示す。

【0043】

図2の「書込」欄の上段に示すように、書込み時には、ソース領域MSに印加する電圧 V_s は6V、メモリゲート電極MGに印加する電圧 V_{mg} は10V、選択ゲート電極SGに印加する電圧 V_{sg} は1.5Vとする。また、ドレイン領域MDに印加する電圧 V_d は書込み時のチャネル電流がある一定値となるよう例えば0.8Vとする。ウェルには、0V (V_{well}) を印加する。

【0044】

上記電圧条件では、ドレイン領域MDに印加する電圧 V_d で書込み時のチャネル電流を調整することになるが、 V_d を0V、選択ゲート電極SGに印加する電圧 V_{sg} を例えば0.7Vとし、 V_{sg} でチャネル電流を調整しても良い(図2の「書込」欄の下段参照)。

【0045】

ホットエレクトロンの発生領域は、2つのゲート電極(MG、SG)間下のチャネル領域(ソース、ドレイン間)であり、メモリゲート電極MG下の窒化シリコン膜SIN中の選択トランジスタ側にのみ局所的にホットエレクトロンが注入される(図25のa部参照)。すなわち、メモリゲート電極MG下の窒化シリコン膜SIN中の選択ゲート電極SG側の端部近傍に局所的にホットエレクトロンが注入される。言い換えれば、エレクトロン(電子)の分布は、窒化シリコン膜SIN中の選択ゲート電極SG側の端部近傍にピークを有する。

【0046】

(1-2) 次いで、消去方法について説明する。本発明の消去方法は、チャネル電流を利用したホットホール注入消去である。

【0047】

図2の「消去」欄の上段に示すように、消去時には、メモリゲート電極MGに

印加する電圧 V_{mg} を、書込み時と符号が反対の -8 V とし、その他の部位の印加電圧は書込み時と同じとする。

【0048】

すなわち、ソース領域 MS に印加する電圧 V_s は 6 V 、選択ゲート電極 SG に印加する電圧 V_{sg} は 1.5 V 、ドレイン領域 MD に印加する電圧 V_d は 0.8 V とする。

【0049】

なお、書込み条件を図2の「書込」欄の下段とした場合には、消去の条件を図2の「消去」欄の下段とすることができる。

【0050】

ただし、メモリゲート電極 MG に印加する電圧 V_{mg} 以外の電圧が書込み時の電圧と全く同じである必要はない。消去時のチャネル電流は、書込み時と同様にドレイン領域 MD に印加する電圧 V_d または選択ゲート電極 SG に印加する電圧 V_{sg} で調整する。

【0051】

例えばメモリトランジスタ部のチャネルを n 型に、すなわち、メモリゲート電極 MG 下のシリコン基板中に n 型不純物領域（ n 型拡散層、 n 型半導体領域） ME を形成（図12の ME 参照）し、上記電圧を印加した場合を考える。この n 型拡散層は、ソース領域やドレイン領域と比較して低濃度である。図27は、図2の「消去」の欄に記載の電位を印加した場合の電荷の状態を模式的に表したメモリセルの要部断面図である。

【0052】

この場合、選択トランジスタがオン状態となる。すなわち、選択ゲート電極 SG 下のシリコン基板中にチャネルが形成される。さらに、ソース領域 MS には高電圧が印加されているため、ソース領域 MS やメモリゲート電極 MG 下の前記 n 型不純物領域 ME から伸びた空乏層が選択トランジスタのチャネルに近づく。その結果、メモリゲート電極 MG に負の電圧を印加しても、ドレイン・ソース間（ MD と MS との間）に電流が流れる。

【0053】

このとき、チャネルを流れる電子が、選択トランジスタのチャネル端とメモリゲート電極MG下のn型不純物領域ME端との間の高電界で加速されてインパクトイオン化が生じ、電子 (electron) とホール (hole) の対が生成される。

【0054】

このホールが、チャネル平面に対して垂直方向の電界（すなわち、メモリゲート電極MGに印加されている負電位）で加速されてホットホールとなり、窒化シリコン膜S I N中に注入される。

【0055】

この際、ホットホールの発生領域は、書込み時のホットエレクトロン発生領域とほぼ同じである。すなわち、メモリゲート電極MG下の窒化シリコン膜S I N中の選択ゲート電極S G側の端部近傍（a部）に局所的にホットホールが注入される。

【0056】

従って、書込み時にホットエレクトロンを注入した位置に、ホットホールを注入することができる。

【0057】

なお、メモリゲート電極MG下のチャネル領域は必ずしもn型である必要がなく、メモリトランジスタのチャネル長を短くすればp型であってもチャネル電流が流れ、消去を行うことができる。すなわち、ソース領域MSから延びる空乏層が、2つのゲート電極（MG、S G）の境界部下近傍のシリコン基板まで到達すればよい。

【0058】

（1-3）次いで、読み出し方法について説明する。読出しは、ソース・ドレイン間の電圧を書込み時と逆方向にする読出しと同一方向にする読出しの2つがある。

【0059】

逆方向読出しの場合、図2の「読出」欄の上段に示すように、ドレイン領域MDに印加する電圧V dを1.5 V、ソース領域MSに印加する電圧V sを0 V、選択ゲート電極S Gに印加する電圧V s gを1.5 V、メモリゲート電極MGに

印加する電圧 V_{mg} を 1.5 V として読出しを行う。

【0060】

同一方向読出しの場合、図2の「読出」欄の下段に示すように、ドレイン領域 MD に印加する電圧 V_d とソース領域 MS に印加する電圧 V_s を入れ替え、それぞれ 0 V、1.5 V とする。

【0061】

読出し時のメモリゲート電極 MG に印加する電圧 V_{mg} は、消去状態におけるメモリセルのしきい値電圧を 0 V より十分低くしておけば、0 V としても構わない。

【0062】

(2) 続いて、複数のメモリセルでアレイを構成した際のメモリ動作について説明する。

【0063】

図3は、本実施の形態の不揮発性半導体メモリアレイを示す回路図である。簡略化のため、 2×4 個のメモリセルのみを示す。

【0064】

図示するように、各メモリセルの選択ゲート電極 SG を接続する選択ゲート線（ワード線） $SGL_0 \sim SGL_3$ 、メモリゲート電極 MG を接続するメモリゲート線 $MGL_0 \sim MGL_3$ および2つの隣接したメモリセルが共有するソース領域 MS を接続するソース線 SL_0 、 SL_1 は、X方向にそれぞれ平行に延在する。

【0065】

また、メモリセルのドレイン領域 MD を接続するビット線 BL_0 、 BL_1 は、Y方向、すなわち、選択ゲート線 SGL 等と直交する方向に延在する。

【0066】

なお、これらの配線は、回路図上だけでなく、各素子や配線のレイアウト上も前記方向に延在する（図9においても同じ）。また、選択ゲート線 SGL 等は、選択ゲート電極 SG で構成しても良いし、また、選択ゲート SG に接続される配線で構成しても良い。

【0067】

図3では省略するが、ソース線SLとメモリゲート線MGLには、書込み・消去時に高電圧を印加するために高耐圧のMOSトランジスタからなる昇圧ドライバを接続する。また、選択ゲート線SGLには、1.5V程度の低電圧のみを印加するので低耐圧で高速の昇圧ドライバを接続する。1本のローカルビット線には、16個、32個もしくは64個のメモリセルを接続し、ローカルビット線はローカルビット線を選択するMOSトランジスタを介してグローバルビット線に接続され、グローバルビット線はセンスアンプに接続される。

【0068】

図4と図5に、図3のメモリアレイにおいて書込み・消去・読出し時に各配線に印加する電圧条件を示す。図4と図5は、それぞれ、書込み・消去時のチャネル電流をビット線BLの電位で調節する場合と選択ゲート線SGLの電位で調整する場合の条件であり、図2で示したチャネル電流の調節をドレイン領域MDの電圧Vdで行う場合（上段）と選択ゲート電極SGの電圧Vsgで行う場合（下段）に相当する。

【0069】

（2-1）まず、図4に示した電圧条件での書込み・消去のアレイ動作について説明する。本発明の書込み・消去はともに、チャネルに電流が流れること、すなわち、選択トランジスタがオン状態であることが必要条件となる。

【0070】

したがって、互いに直交するビット線BLと選択ゲート線SGLとで選択トランジスタをオン状態としたメモリセルでのみ書込み・消去を行うことができる。

【0071】

図4に示した書込み条件とビット単位での消去条件では、選択ゲート線はSGL0を0Vから1.5Vに昇圧し、ビット線はBL0だけを1.5Vから0.8V付近に降圧する。その結果、図3に示すメモリセルBIT1のみにおいて選択ゲート線SGLの電位がビット線BLの電位より大きくなって選択トランジスタがオン状態となり、書込み・消去が行われる。

【0072】

つまり、書込み・消去は1ビット（単一のメモリセル）ずつ行われ、ビット単

位での書換えが可能となる。この書込み・消去時には、当然、選択セルが接続されているソース線 $SL0$ の電位は $6V$ 、メモリゲート線 $MGL0$ の電位は、書込み時 $10V$ 、消去時 $-8V$ とし、図 2 で示した書込み・消去の条件を満たしていなければならない。

【0073】

一方、この際、選択セル $BIT1$ が接続される選択ゲート線 $SSL0$ に接続される他のメモリセル $BIT1$ 等の選択ゲート電極 SG にも $1.5V$ の電位が印加されるが、前記他のメモリセルに接続されるビット線 $BL1$ 等には、選択ゲート線 $SSL0$ の電位 ($1.5V$) 以上の電位 (図 4 では $1.5V$) を印加することにより、前記他のメモリセルの選択トランジスタがオンすることを防止できる。即ち、非選択メモリセルの消去を禁止できる。

【0074】

消去の単位は、同じ構成のメモリアレイにおいて、ビットだけでなく、ワード単位もしくは複数のワードを一括して消去するブロック単位等にもすることもできる。

【0075】

ワード単位で行う場合、例えば、図 3 のメモリアレイにおいて、選択ゲート線は $SSL0$ のみを $1.5V$ 、ビット線 BL はすべて $0.8V$ 、ソース線 $SL0$ は $6V$ 、メモリゲート線 $MGL0$ は $-8V$ とすれば、選択ゲート線 $SSL0$ に接続されているメモリセル $WORD1$ (破線で囲んだ部分) をまとめて消去できる。

【0076】

ブロック単位の場合、そのブロック (例えば $n \times m$ 個のメモリセル) 内のすべての選択ゲート線 SSL を $1.5V$ に昇圧し、すべてのビット線 BL を $0.8V$ に降圧して、すべてのソース線 SL に $6V$ 、すべてのメモリゲート線 MGL に $-8V$ を印加すればよい。

【0077】

以上は、書込み・消去時のチャネル電流をビット線 BL すなわちドレイン領域 MD の電位で調整する場合の動作条件であるが、図 5 に示した選択ゲート線 SSL の電位で調整する場合でも、選択セル $BIT1$ の選択ゲート線 $SSL0$ とビッ

ト線BL0をそれぞれ0.7Vと0V、選択セルBIT1と接続されていない選択ゲート線SGL1～3とビット線BL1をそれぞれ0Vと1.5Vとすれば、選択セルBIT1のみで選択ゲート線SGLの電位がビット線BLの電位より大きくなり、同様の書込み・消去動作が可能である。

【0078】

(2-2) 次に、メモリアレイの読出し条件について説明する。読出しの場合も、書込み・消去と同様に、選択トランジスタがオン状態となっていることが必要条件であり、選択ゲート線SGLとビット線BLで読出しセルの選択を行う。

【0079】

読出しの場合、ソース・ドレイン間の電圧が書込み・消去時と逆方向の場合と同一方向の場合とがある。

【0080】

前者の場合、選択セルBIT1と接続されている選択ゲート線SGL0とビット線BL0の電位を1.5V、選択セルと接続されていない選択ゲート線SGL1～3とビット線BL1の電位を0V、ソース線SL0、SL1の電位をすべて0Vとする。

【0081】

また、後者の場合、選択セルBIT1と接続されている選択ゲート線SGL0とビット線BL0の電位をそれぞれ1.5Vと0V、選択セルと接続されていない選択ゲート線SGL1～3とビット線BL1の電位をそれぞれ0Vと1.5V、ソース線SL0、SL1の電位をすべて1.5Vとする。

【0082】

メモリゲート線MGLの電位は、より大きな読出し電流を得るために、選択セルが接続された線MGL0のみに1.5Vを印加すると良い。図4、図5に示した読出しの電圧条件では、逆方向・同一方向ともに、図3のメモリセルBIT1の読出しが行われることになる。

【0083】

(3) 次いで、他のメモリアレイ構成について説明する。図6は、本実施の形態の他の不揮発性半導体メモリアレイを示す回路図である。

【 0 0 8 4 】

図 3 に示したメモリアレイ構成に対し、複数のソース線を接続して共通のソース線 S L としてある。また、複数のメモリゲート線を接続して共通のメモリゲート線 M G L としてある。

【 0 0 8 5 】

ソース線 S L、メモリゲート線 M G L を共通化することで、それぞれの線を駆動する高耐圧のドライバ数が削減され、チップ面積の低減を図ることができる。メモリアレイを構成する配線の共通化は、ソース線 S L もしくはメモリゲート線 M G L のどちらか 1 つでも良い。

【 0 0 8 6 】

図 7 と図 8 に、図 6 のメモリアレイにおいて書込み・消去・読出し時に各配線に印加する電圧条件を示す。図 7 と図 8 は、それぞれ、書込み・消去時のチャネル電流をビット線 B L の電位で調節する場合と選択ゲート線 S G L の電位で調整する場合の条件である。

【 0 0 8 7 】

ビット線 B L および選択ゲート線 S G L に印加する電圧は図 3 に示すメモリアレイの場合と全く同じであり、共通のソース線 S L、メモリゲート線 M G L には、図 3 のメモリアレイで選択セル B I T 1 に印加する電圧と同じ電圧を印加する。

【 0 0 8 8 】

すなわち、書込み時にはソース線 S L、メモリゲート線 M G L にそれぞれ 6 V と 1 0 V、消去時にはそれぞれ 6 V と - 8 V、読出し時には、逆方向読出しの場合は、それぞれ 0 V と 1 . 5 V、同一方向読出しの場合は、それぞれ 1 . 5 V と 1 . 5 V を印加する。

【 0 0 8 9 】

(4) 次いで、さらに、他のメモリアレイ構成について説明する。図 9 は、本実施の形態の他の不揮発性半導体メモリアレイを示す回路図である。

【 0 0 9 0 】

図 3 に示したメモリアレイ構成と比較すると、図 9 の場合は、メモリトランジ

スタと選択トランジスタの位置を入れ替えた配置となっており、メモリトランジスタ側の拡散層（ドレイン領域）にビット線BL、選択トランジスタ側の拡散層（ソース領域）にソース線SLが接続されている。

【0091】

図10と図11に、図9のメモリアレイにおいて書込み・消去・読出し時に各配線に印加する電圧条件を示す。図10と図11は、それぞれ、書込み・消去時のチャネル電流をビット線BLの電位で調節する場合と選択ゲート線SGLの電位で調整する場合の条件である。

【0092】

図3に示すメモリアレイでソース線SLに印加した電圧をビット線BLに、ビット線BLに印加した電圧をソース線SLに印加すると、図3のメモリアレイと同様の書込み・消去・読出し動作をする。

【0093】

すなわち、図10に示した書込み条件とビット単位での消去条件では、選択ゲート線はSGL0だけを0Vから1.5Vに昇圧し、ソース線はSL0だけを1.5Vから0.8V付近に降圧する。その結果、図9に示すメモリセルBIT1のみにおいて選択ゲート線SGLの電位がソース線SLの電位より大きくなって選択トランジスタがオン状態となり、書込み・消去が行われる。

【0094】

つまり、書込み・消去は1ビット（単一のメモリセル）ずつ行われ、ビット単位での書換えが可能となる。この書込み・消去時には、当然、選択セルが接続されているビット線BL0の電位は6V、メモリゲート線MGL0の電位は、書込み時10V、消去時-8Vとし、図2で示した書込み・消去の条件を満たしていなければならない。

【0095】

この際、選択セルBIT1が接続される選択ゲート線SGL0に接続される他のメモリセルBIT2等の選択ゲート電極SGおよびソース領域MSに、それぞれ1.5Vおよび0.8Vの電位が印加されるが、前記他のメモリセルに接続されるビット線BL1等には、ソース線SL0の電位（0.8V）以下の電位（0

V) を印加することにより、ソース、ドレイン領域間に電流が流れることを防止できる。即ち、非選択メモリセルの消去を禁止できる。

【0096】

また、図10および図11の読出し条件については、このメモリアレイでは、図3のメモリアレイの場合と、メモリトランジスタと選択トランジスタの位置が入れ替わっているため、図3の場合の「逆方向読出し」と「同一方向読出し」の場合と、印加電圧条件が逆となっている。

【0097】

以上、図2、図4、図5、図7、図8、図10、図11においてメモリ動作の電圧条件を示してきたが、これらの条件は一例であり、ここで示した数値をもって本発明が限定されるものではない。

【0098】

(5) 続いて、上記ホットホール注入方式の消去を実現し、消去・読出しの高速化と高温データ保持の信頼性向上を可能とするメモリセルの具体的な構成について、図12を用いて以下に説明する。

【0099】

上記消去を行うには、メモリゲート電極MGに負電圧を印加した時、ソース・ドレイン間に電流が流れなければならない。

【0100】

このためには、メモリトランジスタのチャネル領域(ME)をn型化するか、メモリトランジスタのチャネル長を短くする必要がある。

【0101】

この両者ともに、読出し電流の増加に寄与するため、本発明の消去方式を採用するメモリセルは高速読出しに適している。

【0102】

加えて、本発明の消去方式は、ホール注入を利用しており、消去後のしきい値電圧を中性しきい値電圧よりも下げて大きな読出し電流を得ることができる。従って、その点でも、高速の読出しに適している。

【0103】

また、消去速度は、ホットキャリア注入を利用しているためトンネリング消去と比べ高速である。また、メモリトランジスタのチャネル領域(ME)のn型不純物を高濃度化する、もしくは、メモリトランジスタのチャネル長を短くすることで、さらなる高速化が実現する。

【0104】

一方の選択トランジスタのチャネル領域SEについては、選択トランジスタのしきい値電圧がメモリトランジスタの中性状態しきい値電圧よりも大きくなるように、不純物濃度を設定する。メモリトランジスタの中性状態しきい値電圧とは、電荷蓄積領域に電荷が蓄積されていない状態のしきい値をいう。

【0105】

選択トランジスタのしきい値電圧は、高すぎると大きな読出し電流を取ることができなくなり、低過ぎるとそのゲート電圧が0Vの場合でも完全にオフにならず、リーク電流が正常な読出し動作を阻害してしまう。したがって、選択トランジスタのしきい値電圧は、正の範囲で低いことが望ましい。

【0106】

次に、ドレイン領域MDとソース領域MSの不純物プロファイルについて説明する。

【0107】

まず、ドレイン領域MDであるが、メモリ動作時に、この領域に印加される電圧は最大で1.8V程度であるので、1.8Vで駆動することを前提としたMOSトランジスタのソース、ドレイン構造を採用すれば良い。例えば、1.8Vで動作するMOSトランジスタと同程度の高濃度n型不純物領域で、ドレイン領域MDを構成すれば良い。また、このドレイン領域MDのゲート電極方向の端部に低濃度n型不純物領域MDMを設け、LDD構造としても良い。

【0108】

もう一方のソース領域MSも、高濃度n型不純物領域とする。また、ソース領域MSには、書込み・消去時に6Vを印加するため、高濃度n型不純物領域(MS)の外周に低濃度n型不純物領域MSMを設け、二重の不純物領域を設けるなどして高耐圧構造にすることが望ましい。

【0109】

また、ソース領域MS端の不純物プロファイルが電界集中型である場合、ソース領域MS端での電界集中による誤書込みが起こる可能性がある。これは、例えば図3においてメモリセルBIT1を書込む際、メモリセルBIT2のような非選択セルにおいても、ソース領域に6Vの高電圧が印加されるからである。このため、ソース不純物プロファイルは電界緩和型とすることが望ましい。

【0110】

また、メモリゲート電極MG下の窒化シリコン膜SINとその上下の酸化膜TOPOXとBOTOXの膜厚は、メモリ特性を決定する重要な要素である。

【0111】

本発明の消去方式を採用したメモリセルでは、書込み・消去ともにホットキャリア注入を利用しているために窒化シリコン膜上下の酸化膜を厚膜化できる。膜厚は、窒化シリコン膜SINを5～15nm程度、窒化シリコン膜上下の酸化膜TOPOXとBOTOXを5～10nm程度とする。酸化膜TOPOXとBOTOXの膜厚を5nm以上とすることで、トンネリング現象による蓄積電荷の変化を抑えることができる。

【0112】

このように窒化シリコン膜の上下の酸化膜を厚膜化することで、高温でのリテンション特性が改善されるとともに、書換え後のリテンション特性劣化も抑制される。

【0113】

(6) 続いて、以下に、図12に示す不揮発性半導体記憶装置(メモリセル)の製造方法の一例を図13～図21を参照しながら説明する。図13～図21は、本実施の形態の不揮発性半導体記憶装置の製造方法を示す基板の要部断面図である。各図には、ソース領域を共有する2つのメモリセル領域の断面部を示してある。

【0114】

まず、図13を説明する。p型シリコン基板PSUB上に素子分離酸化膜領域STIを形成し、メモリセル領域となるp型ウェル領域PWE Lを形成する。

【0115】

このp型ウェル領域PWE Lの表面部に、選択トランジスタのしきい値を調整するp型不純物領域（チャネル領域）SEを形成する。次いで、シリコン基板表面を清浄化処理した後、選択トランジスタのゲート絶縁膜SGOXを熱酸化で形成し、その上に、選択ゲート電極となるn型ポリシリコン層NSG（100nm程度）および選択ゲート電極の保護用の酸化シリコン膜CAPを、順次堆積する。

【0116】

次に、図14を説明する。フォトリソグラフィ技術とドライエッチング技術を用いて、図13でシリコン基板上に形成したn型ポリシリコン層NSGを加工し、選択トランジスタの選択ゲート電極SG1とSG2を形成する。これらのゲート電極は、図面の奥行き方向に延在し、線状のパターンである。このパターンは、メモリアレイの選択ゲート線SGLに相当する（図3等参照）。なお、このパターンの形成の際には、シリコン基板の表面に不要なダメージが入らないように、熱酸化膜（SGOX）の表面が露出した段階でドライエッチングを停止する。次いで、シリコン基板表面のメモリトランジスタのチャネル領域にしきい値調整用のn型不純物領域MEを形成する。例えば、n型不純物領域MEの不純物濃度は、 $7 \times 10^{12} / \text{cm}^2$ 程度である。

【0117】

次に、図15を説明する。図14でシリコン基板表面の保護用に残した熱酸化膜（SGOX）をフッ酸で除去し、メモリトランジスタのゲート絶縁膜となるONO（Oxide-Nitride-Oxide）膜を積層する。なお、熱酸化膜（SGOX）を除去する際に選択ゲート電極SG上の酸化シリコン膜CAPを合わせて除去しても構わない。

【0118】

ONO膜を形成するには、例えば下部酸化膜BOTOX（5～10nm程度）を熱酸化により形成した後、窒化シリコン膜SINを気相成長法で堆積し、さらに、上部酸化膜TOPOXを気相成長法と熱酸化で形成する。ここで、下部酸化膜BOTOXおよび上部酸化膜TOPOXの膜厚は、トンネリング現象が起こり

にくい5 nm以上であることが望ましい。

【0119】

続いて、ONO膜の上に、メモリゲート電極MGとなるn型ポリシリコン層NMG(100 nm程度)を堆積する。

【0120】

次に、図16を説明する。異方性エッチング技術により、図15で堆積したn型ポリシリコン層NMGを、上部酸化膜TOPOXが露出するまで除去し、選択ゲート電極SG1、SG2の側壁にONO膜を介してメモリゲート電極MG1とMG2を形成する。このメモリゲート電極MG1、MG2のスペース幅は、約90 nmである。このとき、メモリゲート電極MG1とMG2とは反対側の選択ゲート電極SG1、SG2の側壁にも、ポリシリコンの側壁スペーサMGRが作られる。

【0121】

次いで、側壁スペーサMGRを除去するため、フォトリソグラフィ技術を用いフォトレジスト膜RES1でメモリゲート電極MG1とMG2を覆う。この際、その端部が選択ゲート電極SG1、SG2上となるようにフォトレジスト膜RES1を形成する。

【0122】

次に、図17を説明する。図16で作られたポリシリコンの側壁スペーサMGRをドライエッチング技術で除去し、さらに、フォトレジスト膜RES1を取り除く。続いて、露出した上部酸化膜TOPOX、窒化シリコン膜SINをそれぞれフッ酸と熱リン酸で除去する。その後、低濃度のn型不純物のイオン打ち込みを行い、ドレイン部に低濃度n型不純物領域MDMを形成する。このイオン打ち込みの際、ソース部にも低濃度n型不純物領域MDMSが形成される。

【0123】

図17でポリシリコン側壁スペーサMGRを除去したのは、ドレイン部の低濃度n型不純物領域MDMを形成するためである。例えば、図14において、n型不純物領域MEを形成した後に、フォトリソグラフィ技術を用いてフォトレジストでソース部の上部を覆い、ドレイン部に前記低濃度n型不純物領域MDMを形

成するならば、ポリシリコン側壁スペーサMGRを除去する必要はない。

【0124】

次に、図18を説明する。ONO膜の下部酸化膜BOTOXのうち表面に露出した部分をフッ酸で除去した後、酸化膜を堆積し、異方性エッチング技術を用いてエッチングすることで、選択ゲート電極SG1、SG2の側壁に側壁スペーサSWを形成する。このとき、メモリゲート電極MG1とMG2の側壁にも酸化膜SWRが残存する。

【0125】

次に、図19を説明する。フォトリソグラフィ工程により、メモリトランジスタのソース部に開口部を有し、その開口端が選択ゲート電極SG1、SG2上に位置するフォトレジスト膜RES2を形成する。続いて、図18でメモリゲート電極MG1とMG2の側壁に残存した酸化膜SWRをフッ酸で除去し、さらに、n型不純物のイオン打ち込みを行うことによりメモリトランジスタのソース部に低濃度n型不純物領域MSMを形成する。

【0126】

次に、図20を説明する。図19で塗布したフォトレジスト膜RES2を除去し、n型不純物のイオン打ち込みを行うことにより選択トランジスタのドレイン領域MDとメモリトランジスタのソース領域MSを形成する。図17でソース部に作られた低濃度n型不純物領域MDMSの一部は、高濃度n型不純物領域となり、高濃度n型不純物領域であるソース領域MSと低濃度n型不純物領域MSMとでDDD (Double Diffused Drain) 構造を成す。

【0127】

次に、図21を説明する。シリコン基板の全面に配線層間絶縁膜INS1を堆積する。フォトリソグラフィ技術とドライエッチング技術を用いて、ドレイン領域MD上にコンタクトホールを開口し、第1層配線となる金属層を堆積する。その後、フォトリソグラフィ技術とエッチング技術を用いて第1層配線M1を形成する。

【0128】

図示するように、メモリゲート電極MGおよび選択ゲート電極SGは、例えば

紙面に垂直な方向に延在し、ドレイン領域MDに接続され、ビット線BLとなる第1層配線M1は、メモリゲート電極MGや選択ゲート電極SGと直交する方向に延在する(図3等参照)。なお、図9に示す回路図の場合は、メモリゲート電極MGと選択ゲート電極SGの位置が入れ替わる。

【0129】

次いで、配線層間絶縁膜INS2を堆積する。以降、図示は省略するが、配線層間絶縁膜INS2にコンタクトホールを形成し、さらに、導電性膜を堆積し、パターニングすることにより配線を形成する。このように、配線層間絶縁膜と配線の形成工程を繰り返すことによって、多層の配線を形成することが可能となる。

【0130】

(7) 続いて、図22～図24を用いて本発明の消去方式を実現する他のメモリセル構造の例を示す。図22～図24は、本実施の形態の他の不揮発性半導体記憶装置(フラッシュメモリ)の要部断面図である。

【0131】

図22は、選択ゲート電極SGをメモリゲート電極MGの側壁スペーサの形状で構成したメモリセルである。

【0132】

このようなメモリセルの場合は、先に、メモリトランジスタのONO膜(BOPOX、SINおよびTOPOX)およびメモリゲート電極MGを形成し、その側壁に絶縁膜よりなる側壁スペーサGAPSWを形成する。さらに、その側壁に、図1等を参照しながら説明したメモリゲートと同様に、異方性エッチング技術を利用して選択ゲート電極SGを形成する。

【0133】

なお、選択トランジスタのゲート絶縁膜SGOXよりも厚い酸化膜で側壁スペーサGAPSWを形成することにより、メモリゲート電極MGと選択ゲート電極SGとの間の耐圧を向上させることができる。

【0134】

また、メモリトランジスタのチャネル領域(n型不純物領域ME)と選択トラ

ンジスタのチャネル領域SEの不純物の注入は、それぞれ、メモリゲート電極MGの形成前後に行う。

【0135】

図23は、メモリゲート電極MGを選択ゲート電極SG上に乗り上げた構成のメモリセルである。

【0136】

このようなメモリセルの場合は、図1等を参照しながら説明した場合と同様に、選択ゲート電極SGを先に形成し、ONO膜およびメモリゲート電極MGを、フォトリソグラフィ技術を用いて形成する。メモリトランジスタのチャネル領域（n型不純物領域ME）と選択トランジスタのチャネル領域SEの不純物の注入は、図14を参照しながら説明した場合と同様に行う。

【0137】

図24は、選択ゲート電極SGをメモリゲート電極MG上に乗り上げた構成のメモリセルである。

【0138】

このようなメモリセルの場合は、フォトリソグラフィ技術で選択ゲート電極SGを形成する以外は、図22に示したメモリセルと同様に形成することができる。すなわち、ONO膜およびメモリゲート電極MGを先に形成した後、選択ゲート電極SGを形成する。メモリトランジスタのチャネル領域（n型不純物領域ME）と選択トランジスタのチャネル領域SEの不純物の注入は、それぞれ、メモリゲート電極MGの形成前後に行う。

【0139】

このように、図22～図24に示したメモリセル構造についても、図3～図11に示したメモリアレイと電圧条件で、図1に示したメモリセルと同様の動作を行わせることが可能である。

【0140】

また、図12で説明したように、消去・読出しの高速化と高温データ保持の信頼性向上を可能とするメモリセルの具体的構成を、図22～図24に示したメモリセルについても同様に適用できる。

【0141】

以上、本実施の形態においては、メモリセルの電荷蓄積膜として窒化シリコン膜を用いたが、窒化シリコン膜の代わりに酸窒化シリコン膜、酸化タンタル膜、酸化アルミニウム膜等の電荷トラップ性絶縁膜を用いても良い。

【0142】

また、電荷蓄積層としてポリシリコン等の導電性材料から成る微粒子（ドット）を用いてもよい。このドットとは、例えば、下部酸化膜上にポリシリコンの粒状の塊を複数個析出させたものである。このドット上には、さらに、上部酸化膜が形成され、個々のドット間は絶縁される。このようなドットを用いた場合、ドット内に蓄積された電荷（電子）は、ドット間を移動し難い。従って、電子の注入位置と正孔の注入位置をあわせることにより前記効果を奏することができる。また、ドットは、図1、図22～図24に示したメモリセルに適用可能である。ドットを用いる場合、その直径は10nm以下とすることが望ましく、ドット間には絶縁膜を堆積し電荷を離散的に蓄積させる。

【0143】

なお、単一の導電性の浮遊ゲート電極を用いる場合には、電子や正孔が浮遊ゲート電極内を移動できるため、電子の注入位置と正孔の注入位置をあわせることによる効果は小さい。

【0144】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0145】**【発明の効果】**

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0146】

不揮発性半導体記憶装置の高信頼化を図ることができる。特に、データ保持特性向上や読出し速度の向上を図ることができる。また、消去動作の高速化や書換

え耐性の向上または書込みディスタープ耐性の向上を図ることができる。

【0 1 4 7】

さらに、不揮発性メモリアレイにおける消去セル数を任意に設定することが可能となる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態の不揮発性半導体記憶装置（フラッシュメモリ）の要部断面図である。

【図 2】

本発明の実施の形態の不揮発性半導体記憶装置の書込み・消去・読出し時における選択メモリセルの各部位への電圧の印加条件を示す図表である。

【図 3】

本発明の実施の形態の不揮発性半導体メモリアレイを示す回路図である。

【図 4】

図 3 のメモリアレイにおいて書込み・消去・読出し時に各配線に印加する電圧条件を示す図表である。

【図 5】

図 3 のメモリアレイにおいて書込み・消去・読出し時に各配線に印加する電圧条件を示す図表である。

【図 6】

本発明の実施の形態の他の不揮発性半導体メモリアレイを示す回路図である。

【図 7】

図 6 のメモリアレイにおいて書込み・消去・読出し時に各配線に印加する電圧条件を示す図表である。

【図 8】

図 6 のメモリアレイにおいて書込み・消去・読出し時に各配線に印加する電圧条件を示す図表である。

【図 9】

本発明の実施の形態の他の不揮発性半導体メモリアレイを示す回路図である。

【図 10】

図 9 のメモリアレイにおいて書込み・消去・読出し時に各配線に印加する電圧条件を示す図表である。

【図 11】

図 9 のメモリアレイにおいて書込み・消去・読出し時に各配線に印加する電圧条件を示す図表である。

【図 12】

本発明の実施の形態の不揮発性半導体記憶装置（フラッシュメモリ）の要部断面図である。

【図 13】

本発明の実施の形態の不揮発性半導体記憶装置の製造方法を示す基板の要部断面図である。

【図 14】

本発明の実施の形態の不揮発性半導体記憶装置の製造方法を示す基板の要部断面図である。

【図 15】

本発明の実施の形態の不揮発性半導体記憶装置の製造方法を示す基板の要部断面図である。

【図 16】

本発明の実施の形態の不揮発性半導体記憶装置の製造方法を示す基板の要部断面図である。

【図 17】

本発明の実施の形態の不揮発性半導体記憶装置の製造方法を示す基板の要部断面図である。

【図 18】

本発明の実施の形態の不揮発性半導体記憶装置の製造方法を示す基板の要部断面図である。

【図 19】

本発明の実施の形態の不揮発性半導体記憶装置の製造方法を示す基板の要部断

面図である。

【図 2 0】

本発明の実施の形態の不揮発性半導体記憶装置の製造方法を示す基板の要部断面図である。

【図 2 1】

本発明の実施の形態の不揮発性半導体記憶装置の製造方法を示す基板の要部断面図である。

【図 2 2】

本発明の実施の形態の他の不揮発性半導体記憶装置（フラッシュメモリ）の要部断面図である。

【図 2 3】

本発明の実施の形態の他の不揮発性半導体記憶装置（フラッシュメモリ）の要部断面図である。

【図 2 4】

本発明の実施の形態の他の不揮発性半導体記憶装置（フラッシュメモリ）の要部断面図である。

【図 2 5】

本発明の課題を説明するための不揮発性半導体記憶装置の書込み時のホットエレクトロンの発生場所を示す基板の要部断面図である。

【図 2 6】

本発明の課題を説明するための不揮発性半導体記憶装置の消去時のホットホールの発生場所を示す基板の要部断面図である。

【図 2 7】

本発明の効果を説明するための不揮発性半導体記憶装置に消去電位を印加した場合の電荷の状態を模式的に表したメモリセルの要部断面図である。

【符号の説明】

B I T 1 メモリセル（選択セル）

B I T 2 メモリセル

B L、B L 0、B L 1 ビット線

BOTOX 下部酸化膜 (酸化膜)
CAP 酸化シリコン膜
GAPSW 側壁スペーサ
INS1 配線層間絶縁膜
INS2 配線層間絶縁膜
M1 第1層配線
MD ドレイン領域
MDM 低濃度 n 型不純物領域
MDMS 低濃度 n 型不純物領域
ME n 型不純物領域
MG、MG1、MG2 メモリゲート電極
MGL、MGL0～MGL3 メモリゲート線
MGR 側壁スペーサ
MS ソース領域
MSM 低濃度 n 型不純物領域
NMG n 型ポリシリコン層

NSG n 型ポリシリコン層
ONO ONO 膜
PSUB p 型シリコン基板
PWEL p 型ウェル領域
RES1 フォトレジスト膜
RES2 フォトレジスト膜
SE チャネル領域 (不純物領域)
SG、SG1、SG2 選択ゲート電極
SGL、SGL0～3 選択ゲート線
SGOX ゲート絶縁膜
SIN 窒化シリコン膜
SL、SL0～SL3 ソース線

S T I 素子分離酸化膜領域

S W 側壁スペーサ

S W R 酸化膜

T O P O X 上部酸化膜（酸化膜）

V d ドレイン領域に印加する電圧

V m g メモリゲート電極に印加する電圧

V s ソース領域に印加する電圧

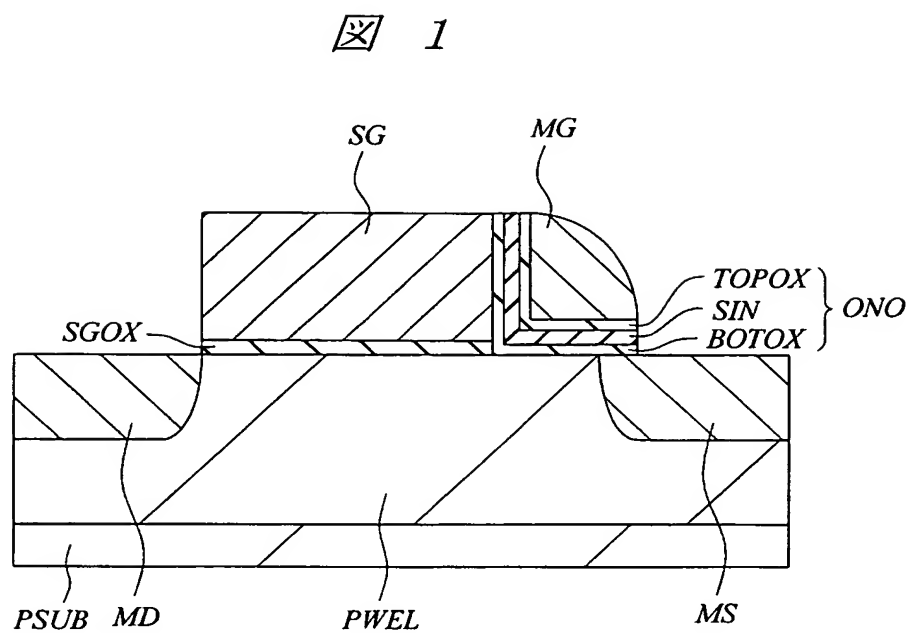
V s g 選択ゲート電極に印加する電圧

V w e l l ウェルに印加する電圧

W O R D 1 選択ゲート線に接続されているメモリセル

【書類名】 図面

【図 1】



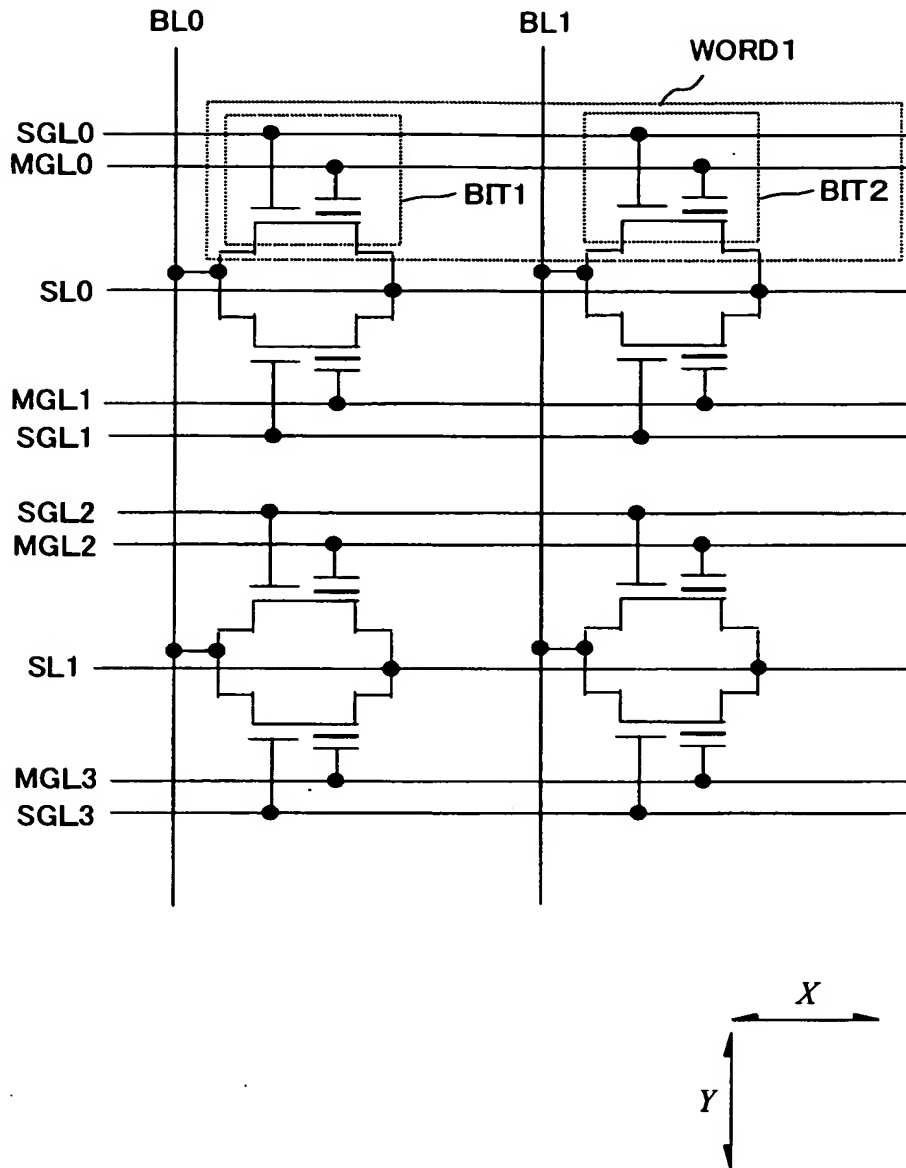
【図 2】

図 2

	Vsg	Vmg	Vs	Vd	Vwell	
書込 (ホットエレクトロン注入)	1.5	10	6	0.8	0	Vdで書込み電流調整
	0.7	10	6	0	0	Vsgで書込み電流調整
消去 (ホットホール注入)	1.5	-8	6	0.8	0	Vdで消去電流調整
	0.7	-8	6	0	0	Vsgで消去電流調整
読出	1.5	1.5	0	1.5	0	逆方向
	1.5	1.5	1.5	0	0	同一方向

【図 3】

図 3



【図 4】

図 4

		SGL0	SGL1～3	MGL0	MGL1～3	SL0	SL1	BL0	BL1	選択セル
消去	書込	1.5	0	10	0	6	0	0.8	1.5	BIT1
	ビット単位	1.5	0	-8	0	6	0	0.8	1.5	BIT1
	ワード単位	1.5	0	-8	0	6	0	0.8	0.8	WORD1
	ブロック単位	1.5	1.5	-8	-8	6	6	0.8	0.8	全部
読出	逆方向	1.5	0	1.5	0	0	0	1.5	0	BIT1
	同一方向	1.5	0	1.5	0	1.5	1.5	0	1.5	BIT1

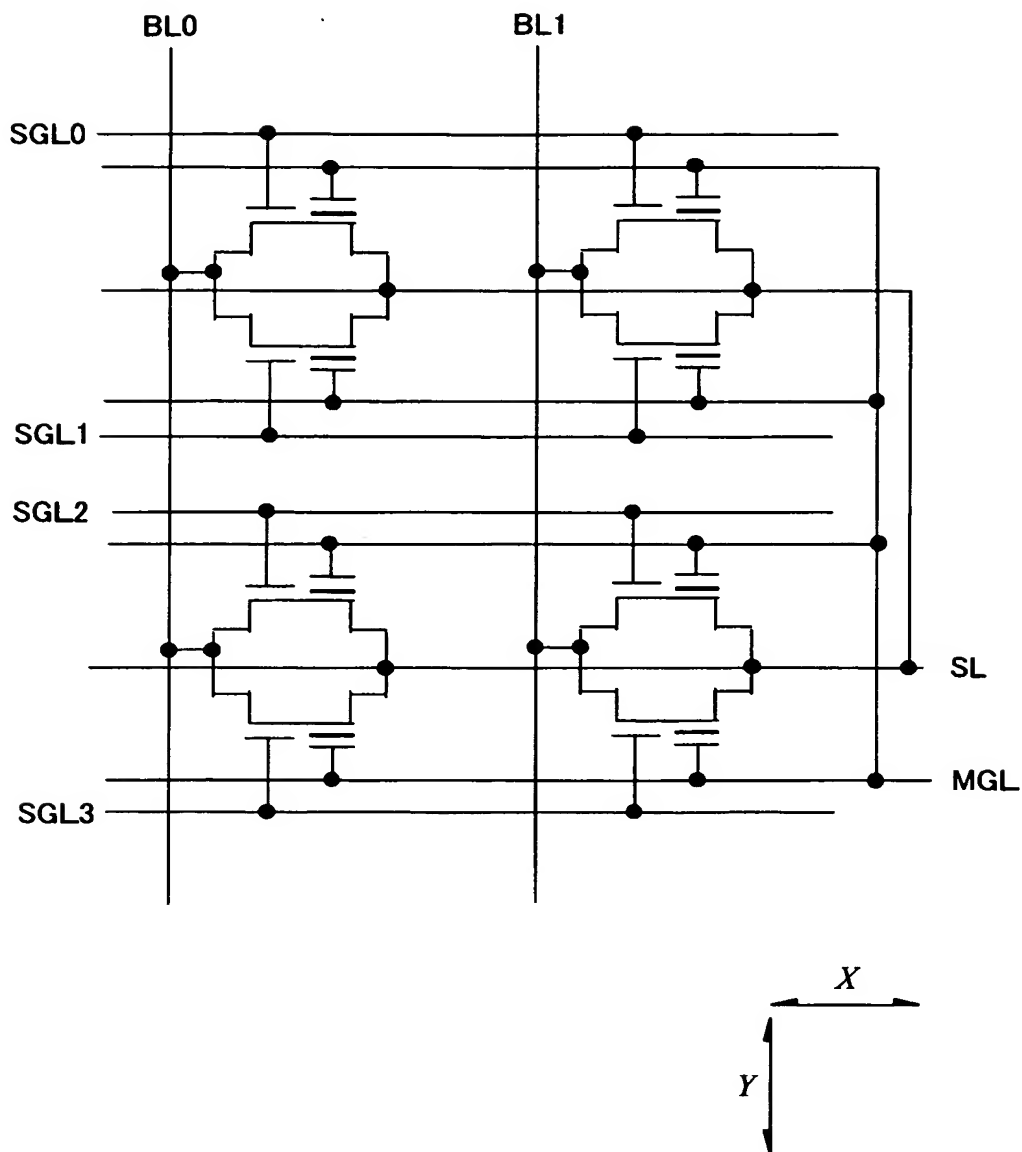
【図 5】

図 5

	SGL0	SGL1～3	MGL0	MGL1～3	SL0	SL1	BL0	BL1	選択セル	
書込	0.7	0	10	0	6	0	0	1.5	BIT1	
消去	ビット単位	0.7	0	-8	0	6	0	0	1.5	BIT1
	ワード単位	0.7	0	-8	0	6	0	0	0	WORD1
	ブロック単位	0.7	0.7	-8	-8	6	6	0	0	全部
読出	逆方向	1.5	0	1.5	0	0	0	1.5	0	BIT1
	同一方向	1.5	0	1.5	0	1.5	1.5	0	1.5	BIT1

【図 6】

図 6



【図 7】

図 7

		SGL0	SGL1~3	MGL	SL	BL0	BL1	選択セル
書込		1.5	0	10	6	0.8	1.5	BIT1
消去	ビット単位	1.5	0	-8	6	0.8	1.5	BIT1
	ワード単位	1.5	0	-8	6	0.8	0.8	WORD1
	ブロック単位	1.5	1.5	-8	6	0.8	0.8	全部
読出	逆方向	1.5	0	1.5	0	1.5	0	BIT1
	同一方向	1.5	0	1.5	1.5	0	1.5	BIT1

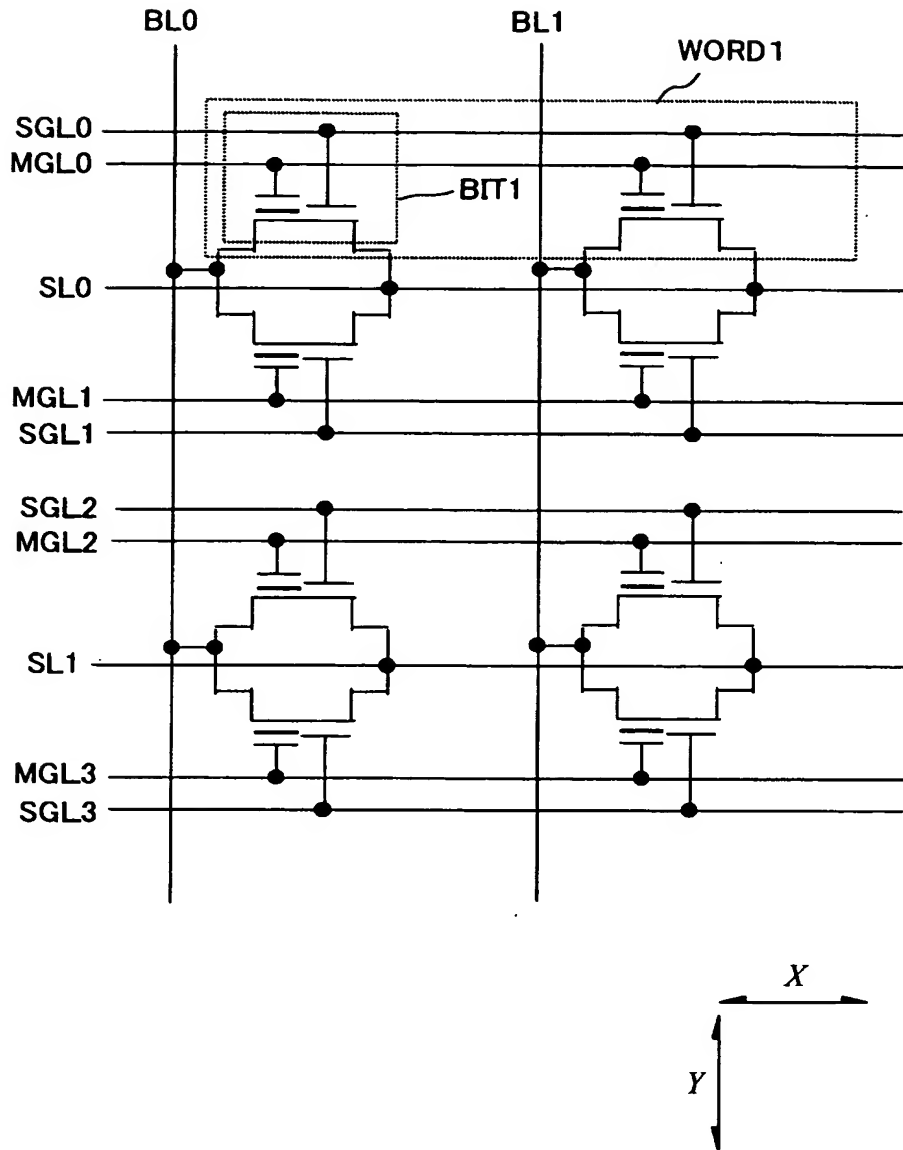
【図 8】

図 8

		SGL0	SGL1~3	MGL	SL	BL0	BL1	選択セル
書込		0.7	0	10	6	0	1.5	BIT1
消去	ビット単位	0.7	0	-8	6	0	1.5	BIT1
	ワード単位	0.7	0	-8	6	0	0	WORD1
	ブロック単位	0.7	0.7	-8	6	0	0	全部
読出	逆方向	1.5	0	1.5	0	1.5	0	BIT1
	同一方向	1.5	0	1.5	1.5	0	1.5	BIT1

【図 9】

図 9



【図 10】

図 10

		SGL0	SGL1～3	MGL0	MGL1～3	SL0	SL1	BL0	BL1	選択セル
消去	書込	1.5	0	10	0	0.8	1.5	6	0	BIT1
	ビット単位	1.5	0	-8	0	0.8	1.5	6	0	BIT1
	ワード単位	1.5	0	-8	0	0.8	1.5	6	6	WORD1
	ブロック単位	1.5	1.5	-8	-8	0.8	0.8	6	6	全部
読出	逆方向	1.5	0	1.5	0	1.5	1.5	0	1.5	BIT1
	同一方向	1.5	0	1.5	0	0	0	1.5	0	BIT1

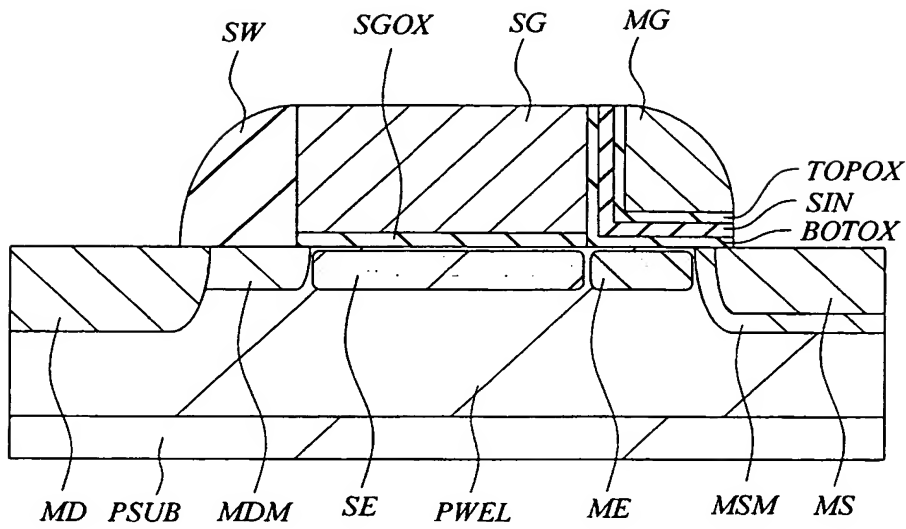
【図 11】

図 11

		SGL0	SGL1~3	MGL0	MGL1~3	SL0	SL1	BL0	BL1	選択セル
消去	書込	0.7	0	10	0	0	1.5	6	0	BIT1
	ビット単位	0.7	0	-8	0	0	1.5	6	0	BIT1
	ワード単位	0.7	0	-8	0	0	1.5	6	6	WORD1
	ブロック単位	0.7	0.7	-8	-8	0	0	6	6	全部
読出	逆方向	1.5	0	1.5	0	1.5	1.5	0	1.5	BIT1
	同一方向	1.5	0	1.5	0	0	0	1.5	0	BIT1

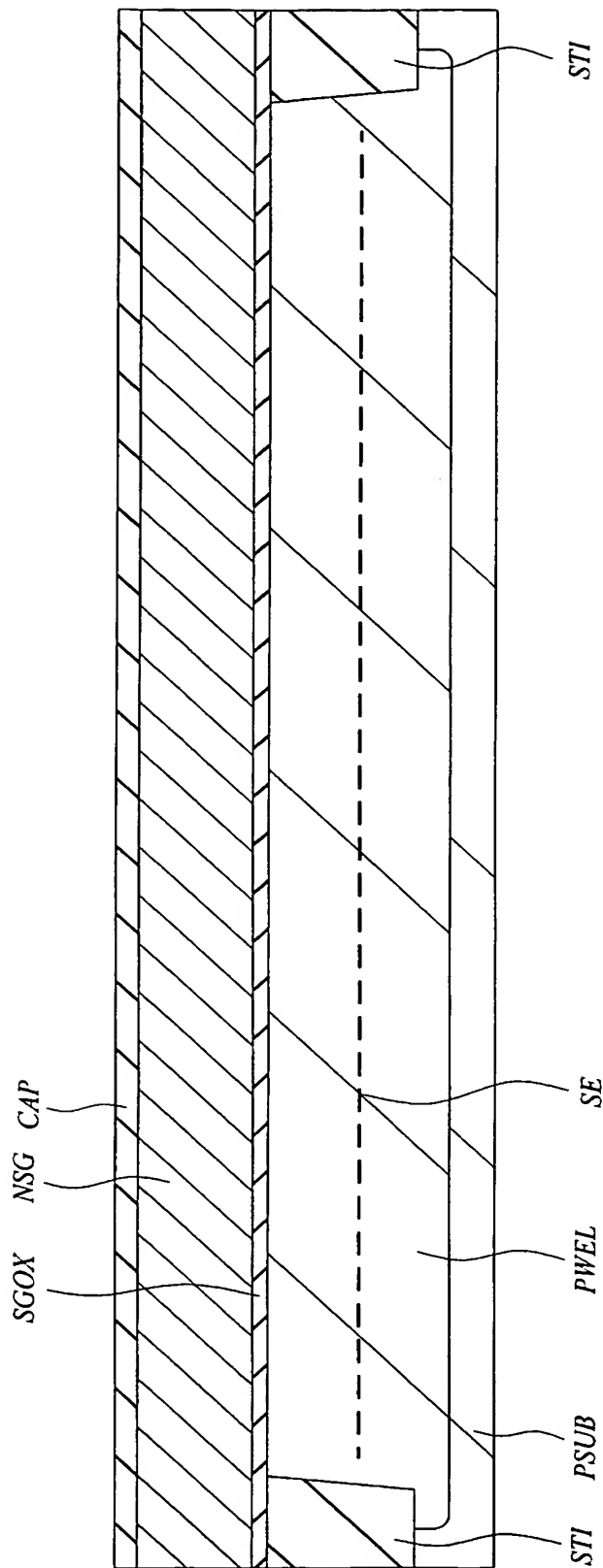
【図 12】

図 12



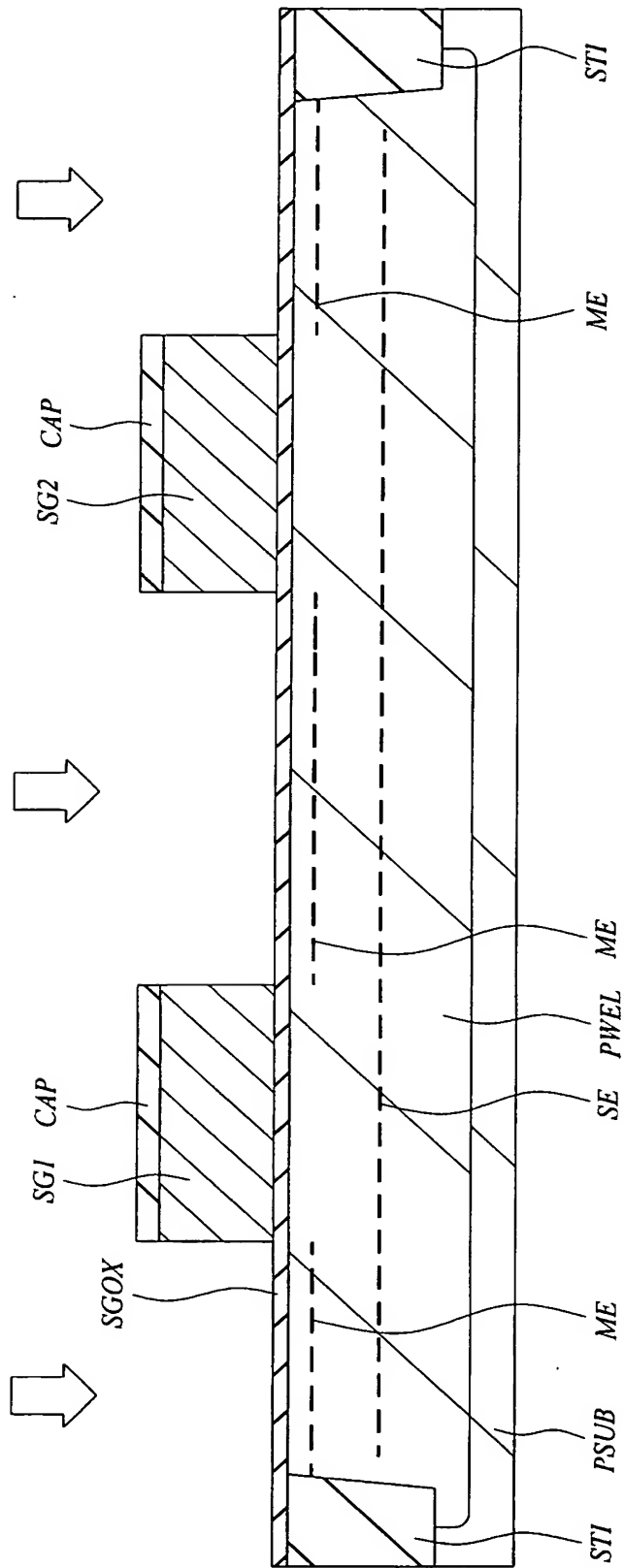
【図 13】

図 13



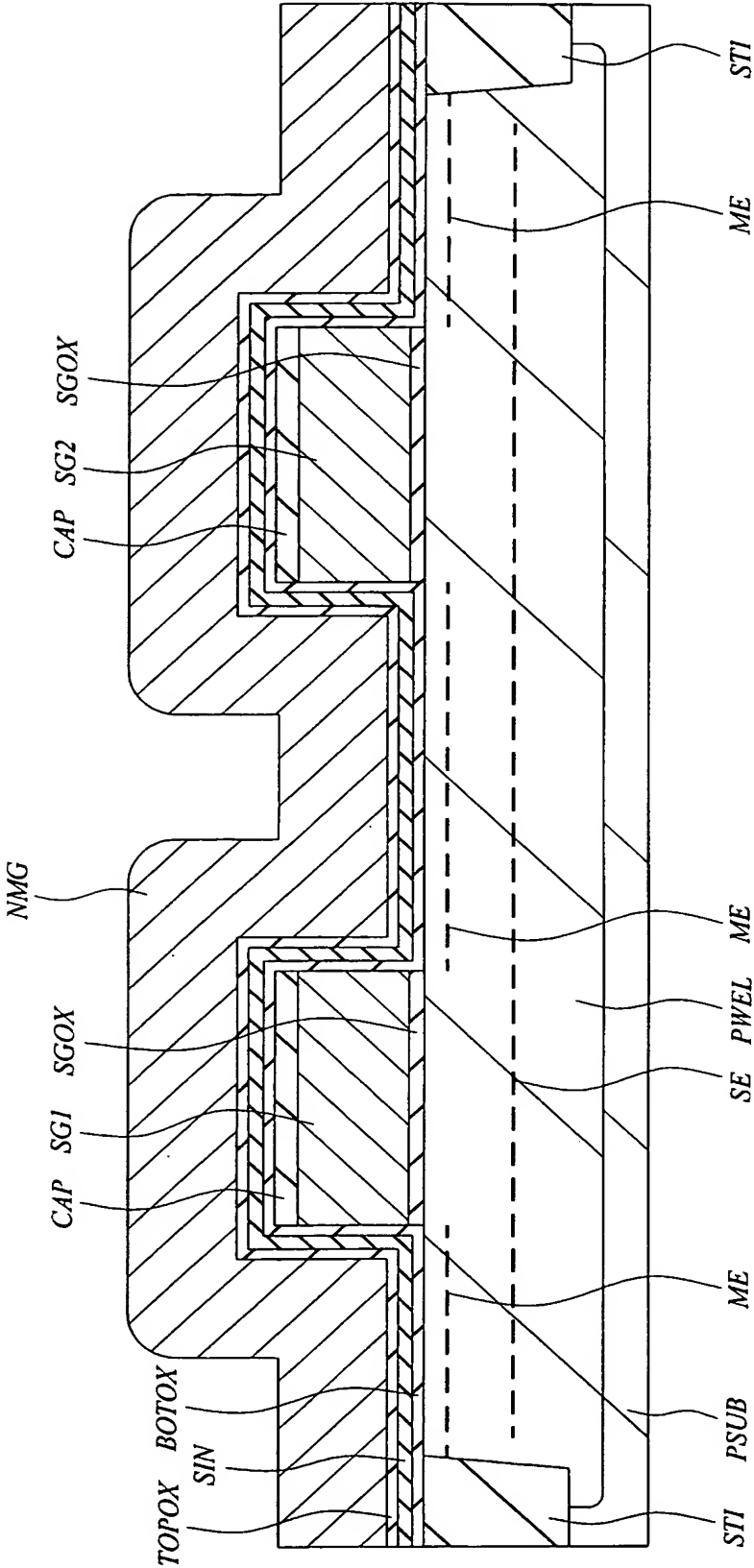
【図 14】

図 14



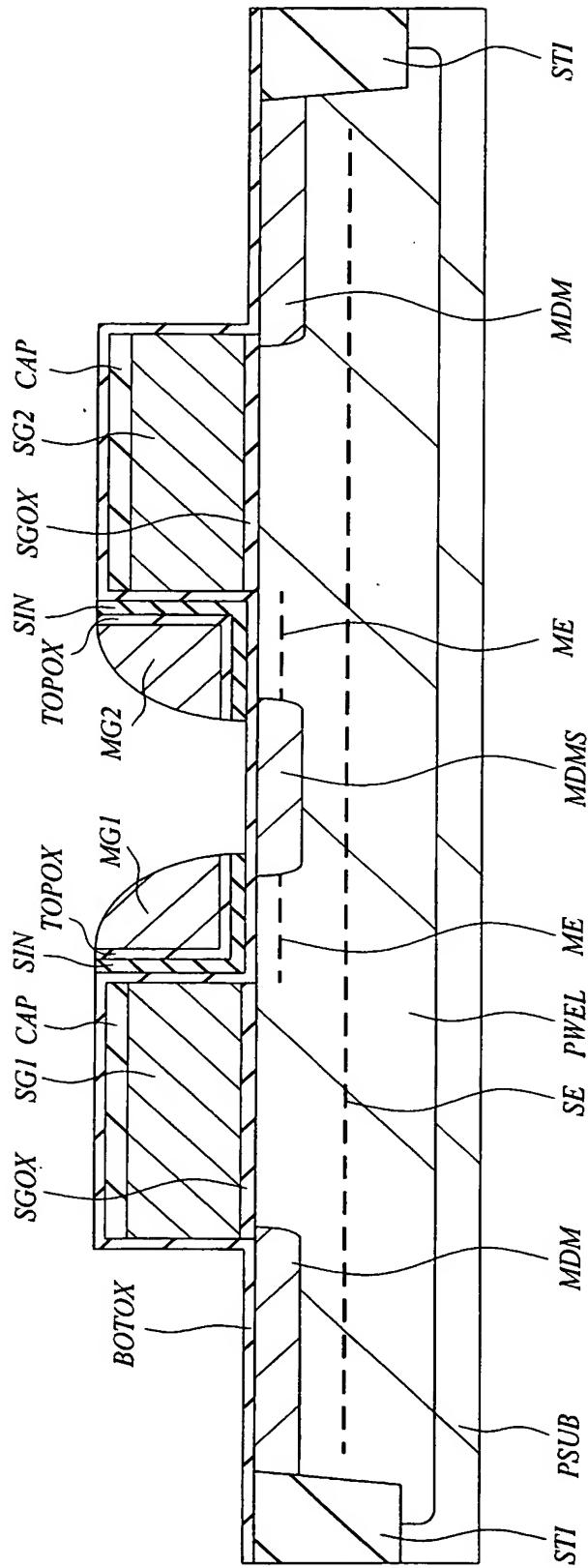
【図 15】

図 15



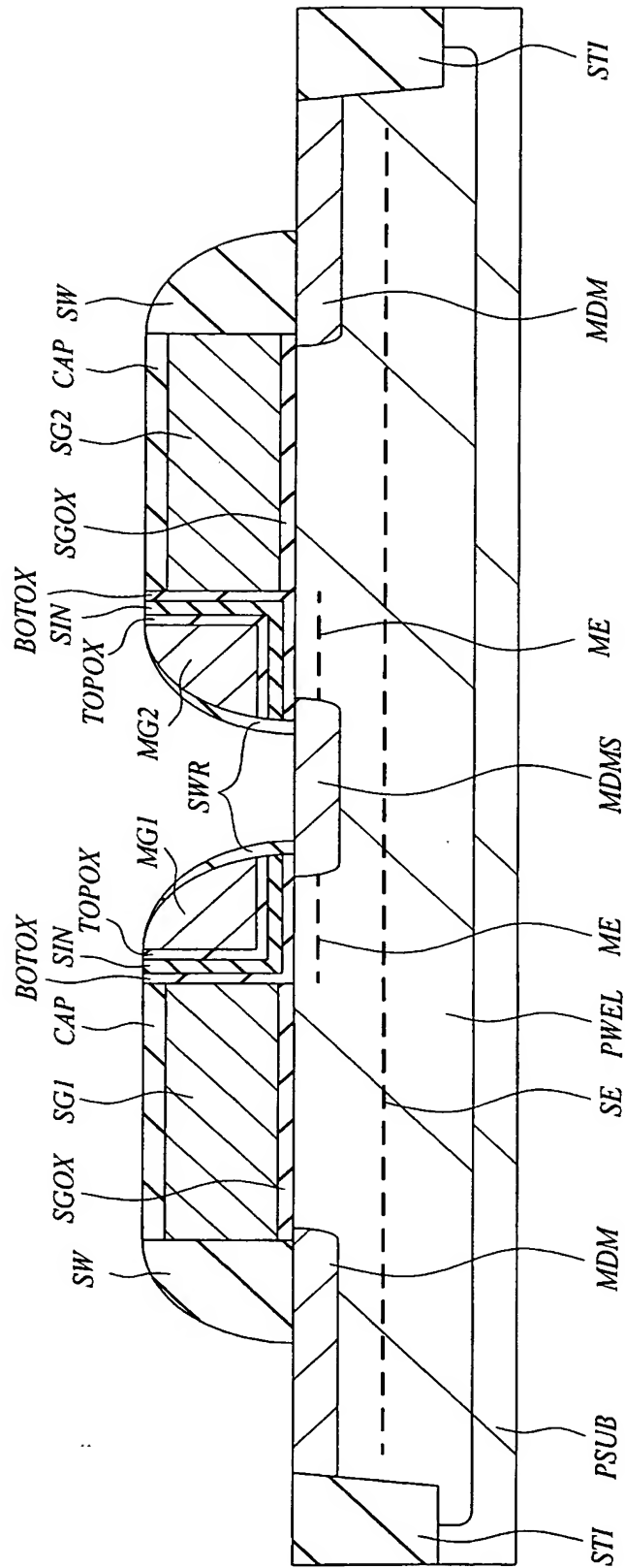
【図 17】

図 17



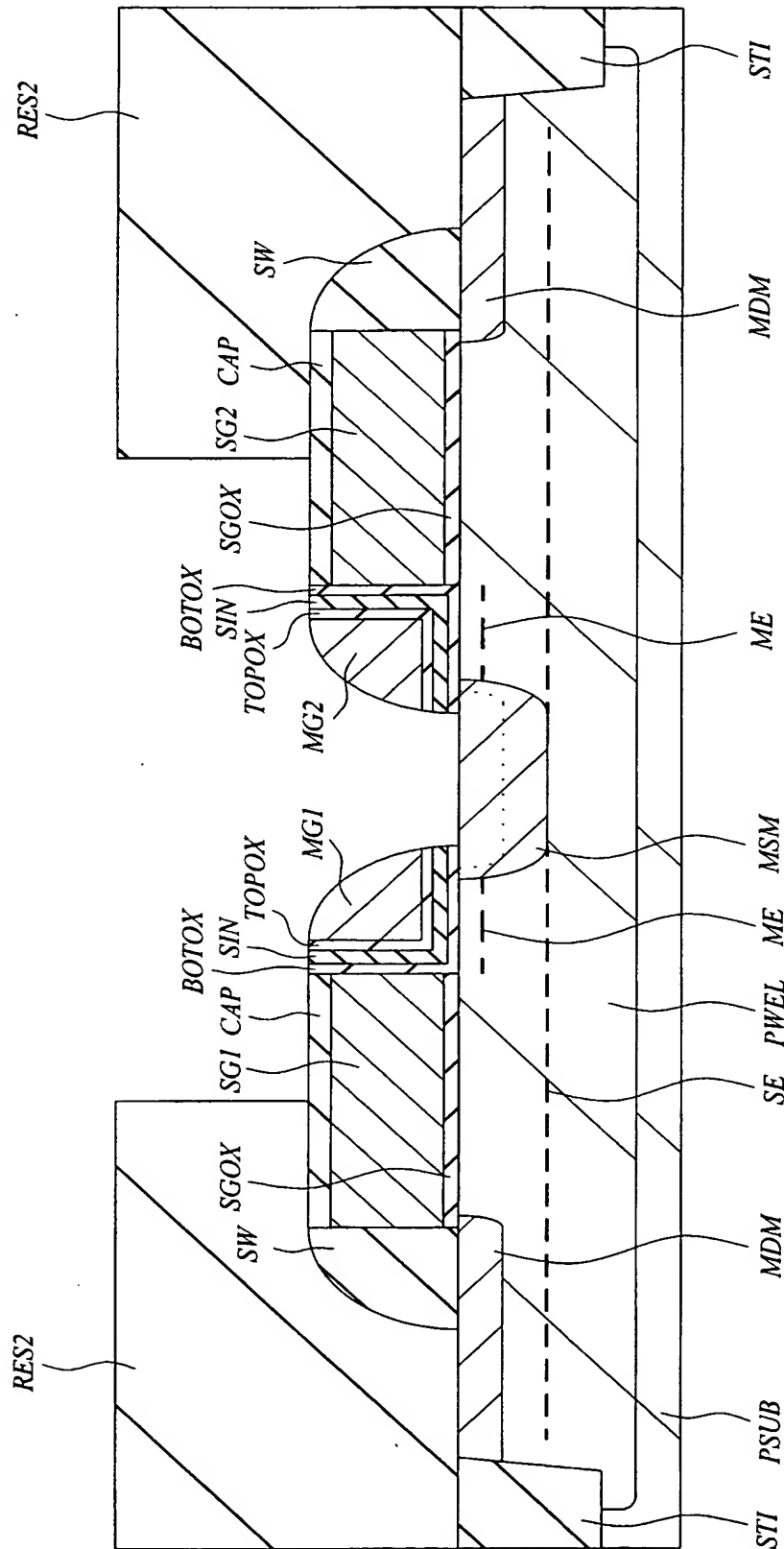
【図 18】

図 18



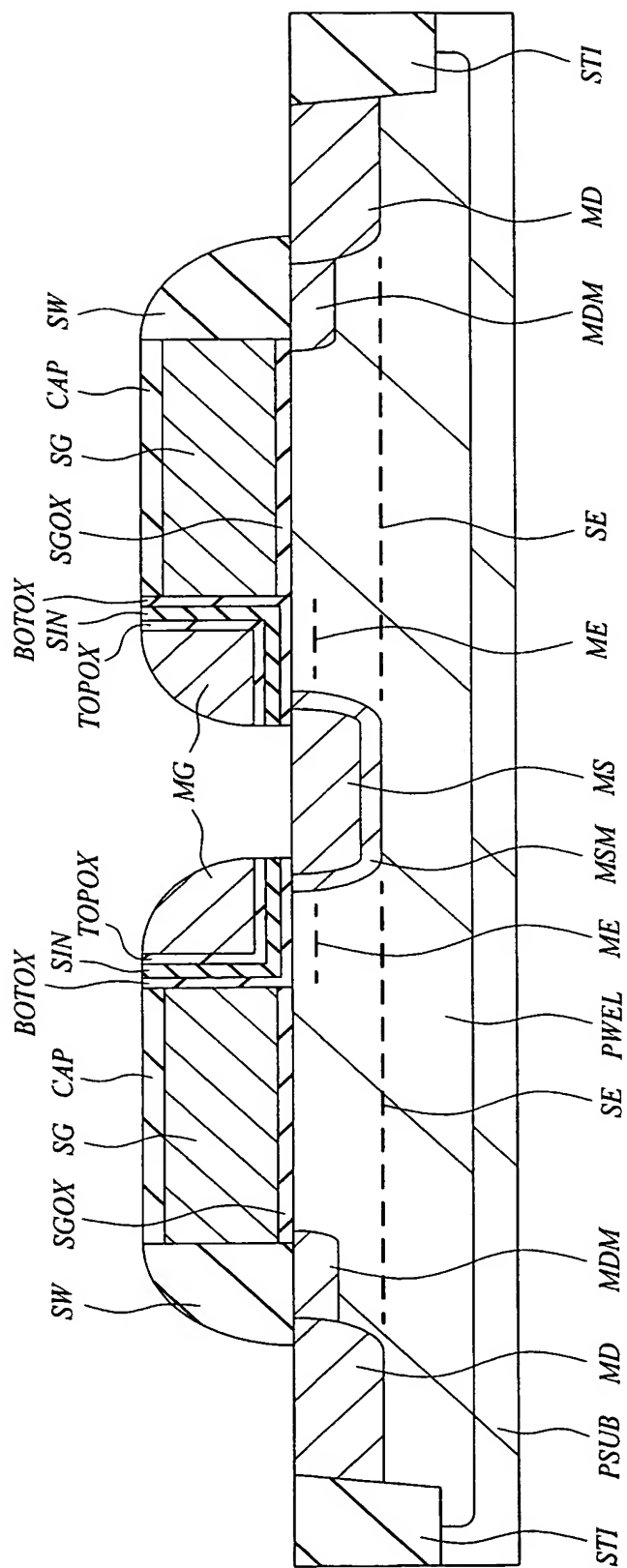
【図 19】

図 19

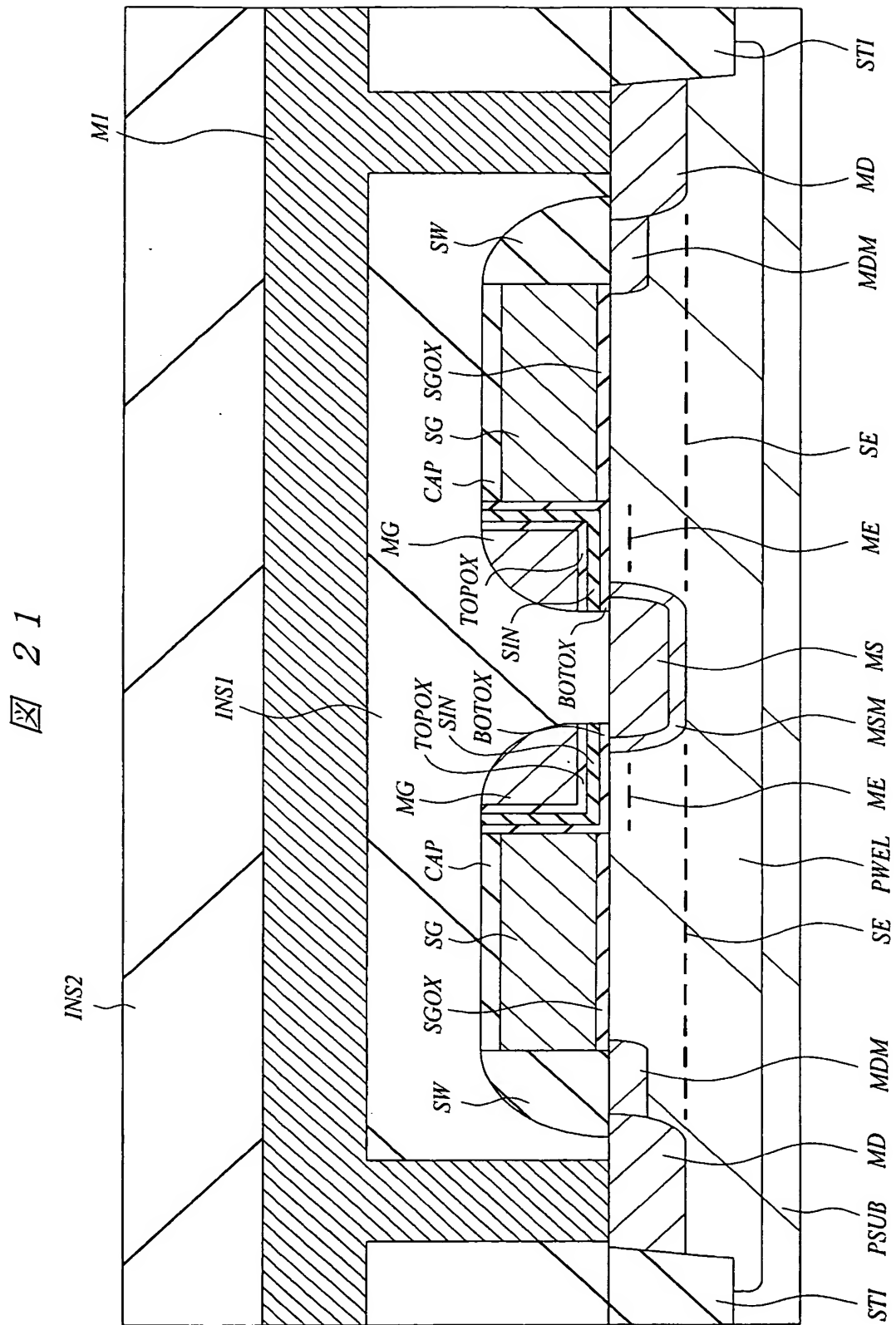


【図 20】

図 20

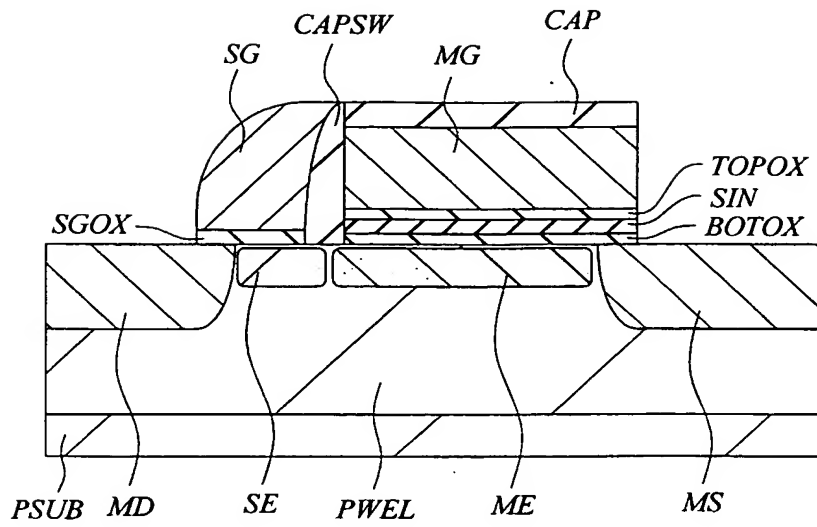


【図 21】



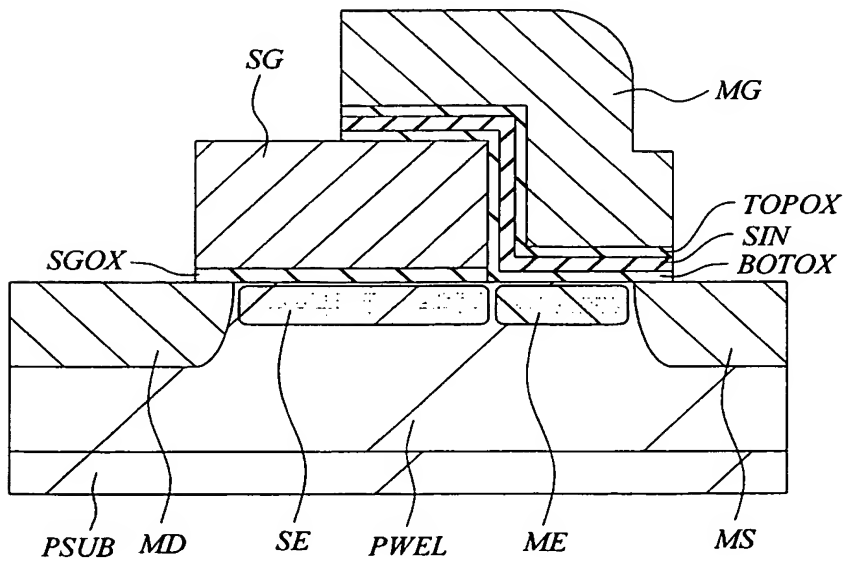
【図 22】

図 22

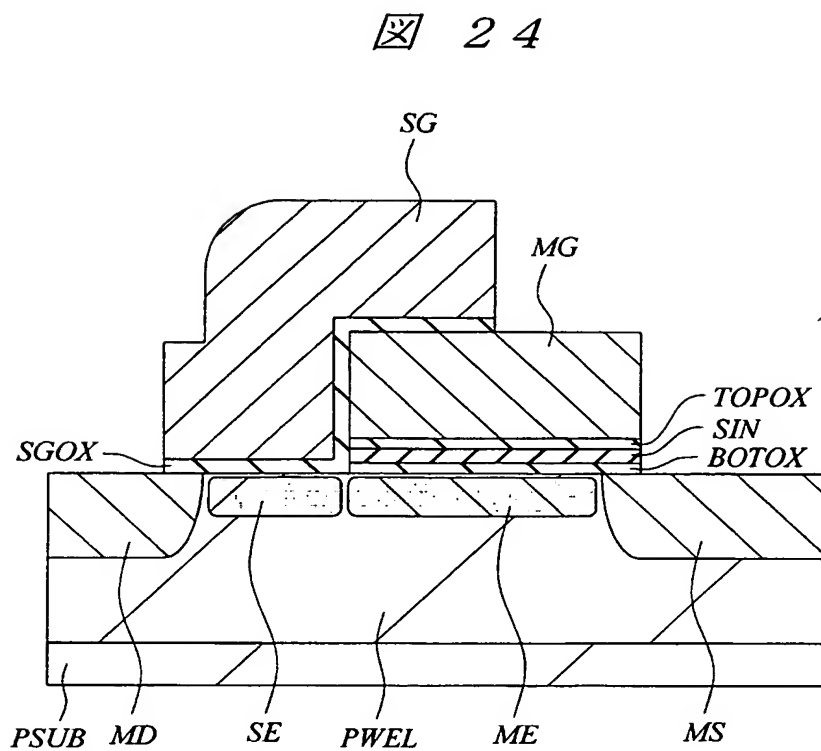


【図 23】

図 23

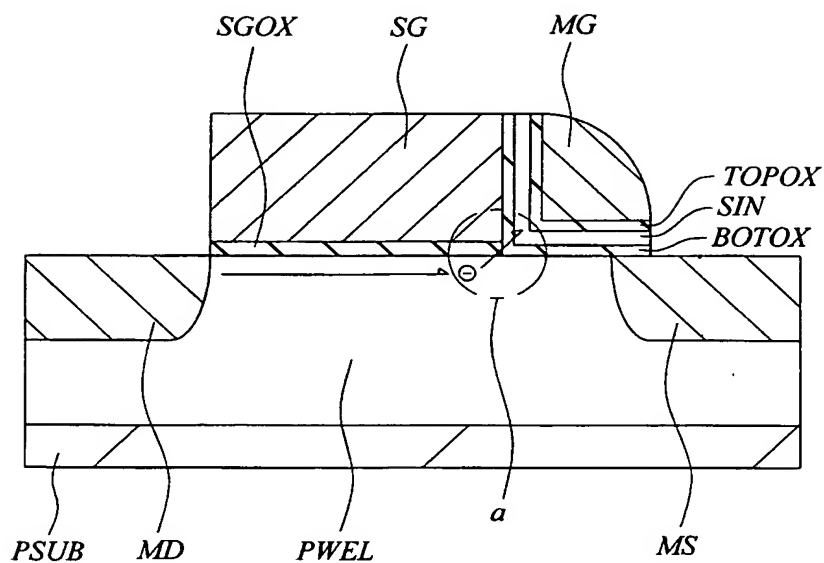


【図 24】



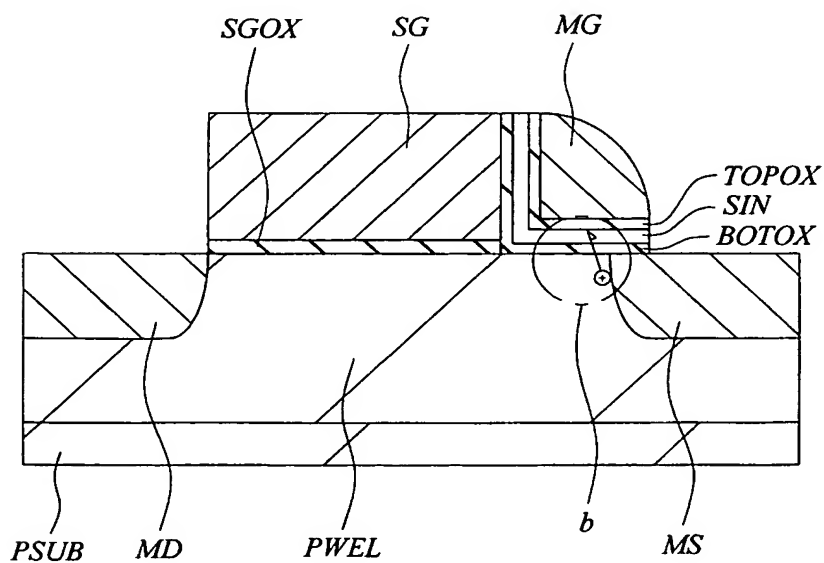
【図 25】

図 25



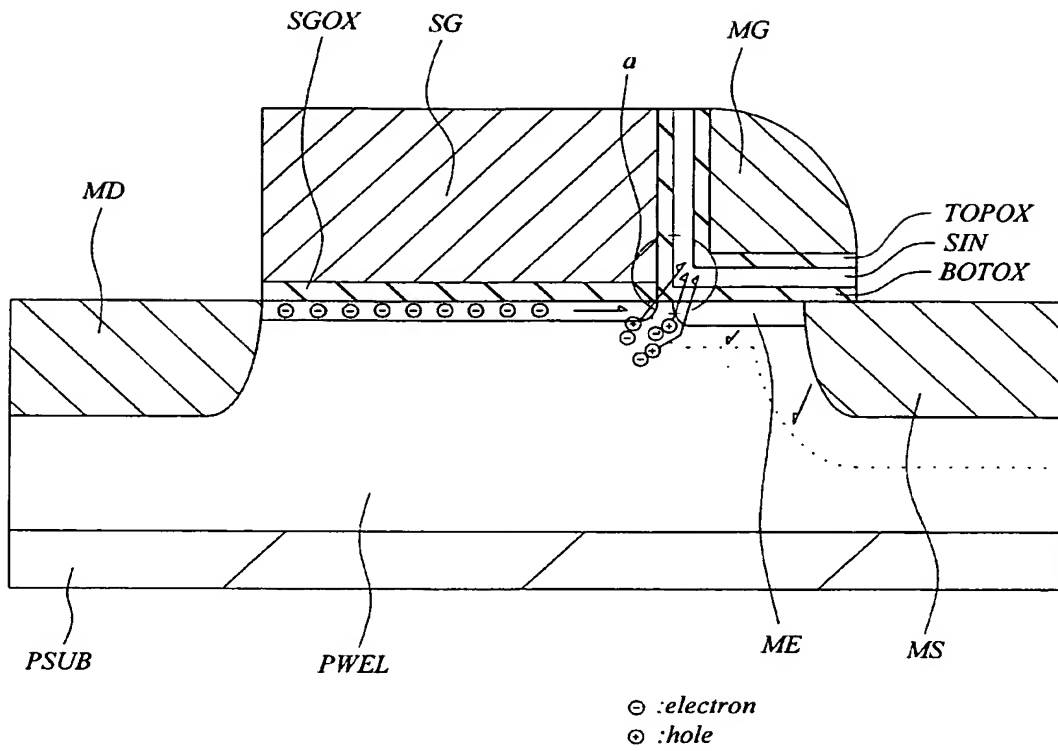
【図 26】

図 26



【図 27】

図 27



【書類名】 要約書

【要約】

【課題】 不揮発性半導体記憶装置の特性を向上させる。

【解決手段】 電荷を蓄積するための窒化シリコン膜S I Nと、その上下に位置する酸化膜B O T O X、T O P O XとからなるO N O膜、その上部のメモリゲート電極M G、その側部にO N O膜を介して位置する選択ゲート電極S G、その下部に位置するゲート絶縁膜S G O X、ソース領域M Sおよびドレイン領域M Dを有するメモリセルの選択ゲート電極S Gとソース領域M Sに電位を印加し、チャネルを流れる電子を、選択トランジスタのチャネル端とメモリゲート電極M G下のn型不純物領域M E端との間の高電界で加速させることにより、インパクトイオン化によりホットホールを生成させ、このホットホールをメモリゲート電極M Gに印加されている負電位により窒化シリコン膜S I N中に注入し、消去を行う。

【選択図】 図 2 7

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-375921

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【提出物件の目録】

【包括委任状番号】 0308729

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 4 - 7 1 7 6 7 号 同日提出の出願人名
義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2002-375921
受付番号	50301194909
書類名	出願人名義変更届 (一般承継)
担当官	鈴木 夏生 6890
作成日	平成15年 9月 3日

<認定情報・付加情報>

【提出日】 平成15年 7月18日

特願 2002-375921

出願人履歴情報

識別番号

[000005108]

1. 変更年月日

1990年 8月31日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台4丁目6番地

氏 名

株式会社日立製作所

特願 2 0 0 2 - 3 7 5 9 2 1

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ